

Chapitre I.

Le fonctionnement de la carte principale

Conception générale

Le micro-ordinateur MO 5 est conçu autour d'un microprocesseur 6809E (voir caractéristiques en annexe), 8 bits, recevant deux signaux d'horloge en quadrature E et Q.

Le moniteur du système et le BASIC Microsoft sont implantés dans une mémoire morte reprogrammable de 16 Koctets, une 27128 (voir caractéristiques en annexe), dans laquelle ils occupent respectivement 4 et 12 Koctets. A terme, cette mémoire sera remplacée par une ROM non reprogrammable.

La mémoire vive est constituée de six boîtiers de RAM dynamique 4416 (voir caractéristiques en annexe), ce qui porte sa capacité à $3 \times 16 = 48$ Koctets. Cette mémoire sera rafraîchie pendant le cycle non actif du microprocesseur ($E = \emptyset$).

32 Koctets de cette mémoire sont réservés à l'utilisateur pour y implanter des programmes. En fait, un programme n'occupera pas vraiment toute cette capacité puisqu'il faut réserver 256 octets à la page zéro du moniteur, plus 256 octets à la page zéro du BASIC ainsi qu'une zone de taille indéterminée pour ranger les variables du programme. Ces 32 Koctets sont répartis de la façon suivante :

- 16 koctets occupent complètement deux boîtiers de RAM 4416 auxquels on accédera à l'aide des signaux \overline{NRAS} et \overline{CASEXT} , le multiplexage des adresses étant géré par le gate-array.
- Les 16 koctets restants occupent les moitiés d'adresses hautes de quatre boîtiers de RAM 4416 auxquels on accède à l'aide des signaux \overline{NRAS} , \overline{CASPT} et \overline{CASCOL} , le multiplexage étant géré par le gate-array.

Pour l'utilisateur, la gestion d'accès à ces blocs physiques de mémoire est transparente car gérée entièrement par gate-array et tout se passe en fait comme si les 32 koctets de RAM utilisateur étaient continus. C'est pourquoi par la suite on parlera plutôt de blocs logiques de mémoire sans s'occuper de leur organisation physique.

L'écran étant composé de $320 \times 200 = 64\ 000$ points, la mémoire d'écran nécessite 8 000 octets qui occuperont les moitiés basses de deux boîtiers de RAM 4416. On remarquera qu'en fait 1/2 RAM correspond à 8 192 octets, donc que 192 octets restent libres derrière la mémoire d'écran. Les seize couleurs du MO5 sont obtenues par combinaison des trois couleurs de base rouge, vert, bleu et d'un bit supplémentaire permettant la sélection teinte saturée/pastel.

Dans un octet de mémoire d'écran, chaque point pourra avoir soit la couleur du *fond*, soit la couleur de la *forme*. Pour coder ces couleurs possibles il faudra donc 2×4 bits, c'est-à-dire un octet. Et puisqu'il y a 8 000 octets écran, il faudra donc une RAM de $8\ 000 \times 8$ bits, soit encore 8 koctets. Cette mémoire couleur occupera les moitiés basses des deux boîtiers de RAM 4416.

La RAM écran, dite aussi RAM point, et la RAM couleur sont accessibles aux mêmes adresses multiplexées, gérées par le gate-array. La sélection de l'une ou de l'autre se fera grâce aux signaux d'accès colonne CASPT et CASCOL gérés également par le gate-array en fonction des états des entrées CSPT, CSCOL, CSEXT et FORME.

Par ailleurs, des mémoires mortes peuvent être introduites sous forme de cartouche dans la trappe supérieure du MO 5, venant alors se mettre en parallèle sur le BASIC après l'avoir invalidé.

Les fonctions principales du PIA système sont la gestion du clavier, la gestion du LEP (lecteur-enregistreur de programme) et le codage de la couleur du cadre.

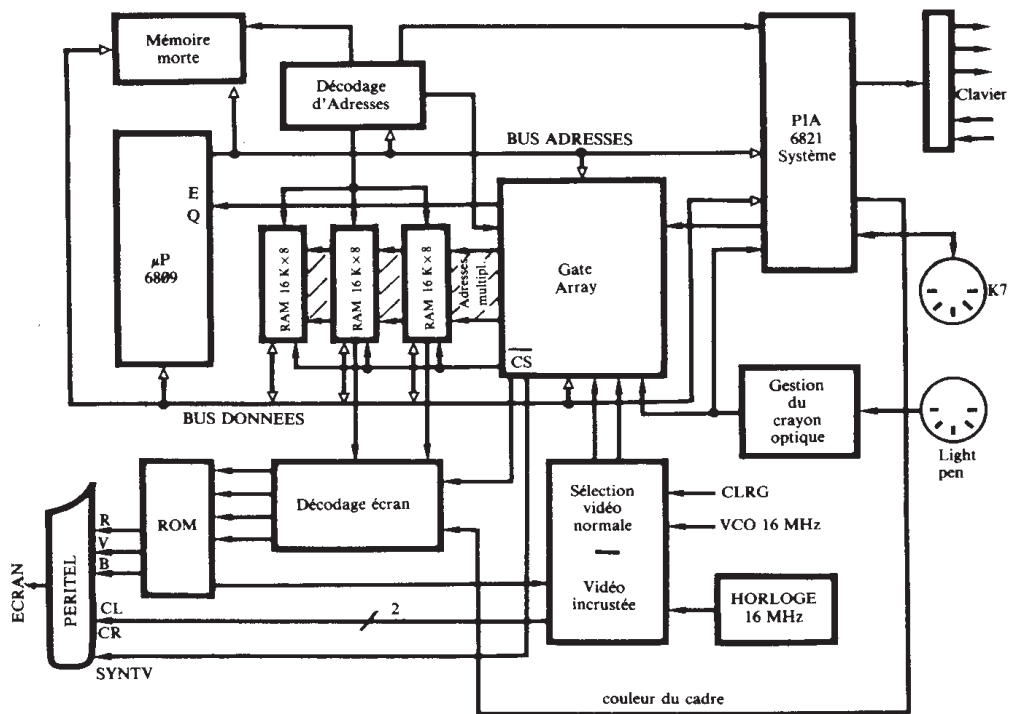


Figure 1
Schéma fonctionnel du MO5

Analyse de la gestion d'écran

L'écran utilisé pour la visualisation est un téléviseur standard de 625 lignes, soit 312 lignes en mode non interligné. Le balayage complet d'une trame sera décrit en 20 ms environ et chaque ligne ne devra donc durer que $20/312 = 0,064$ ms.

Dans cette durée de ligne de 64 μ s se trouvent :

- la durée de traversée de l'écran = 54 μ s,
- la durée du retour à la ligne suivante = 10 μ s.

L'écran va comporter deux zones principales :

- le cadre, appelé aussi le TOUR, dans lequel on ne peut pas écrire, mais dont on peut définir la couleur,
- la fenêtre de travail, qui comme son nom l'indique est la zone réelle de l'affichage vidéo.

Une ligne visible (54 μ s) sera supposée démarrer le long du bord gauche de la fenêtre de travail. Pendant 40 μ s, le faisceau balaiera la partie fenêtre de la ligne. Pendant 7 μ s, il balaiera la partie droite du cadre de l'écran. Pendant 10 μ s environ, il reviendra à la ligne suivante, et pendant les 7 μ s restantes, il viendra se recalculer le long de la fenêtre.

On réalise une définition de la fenêtre de travail de 320 points par ligne et de 200 lignes.

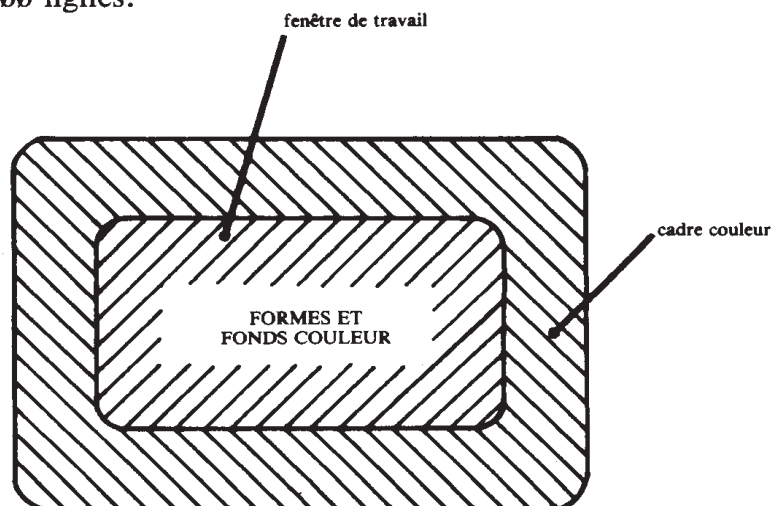


Figure 2
Constitution de l'écran

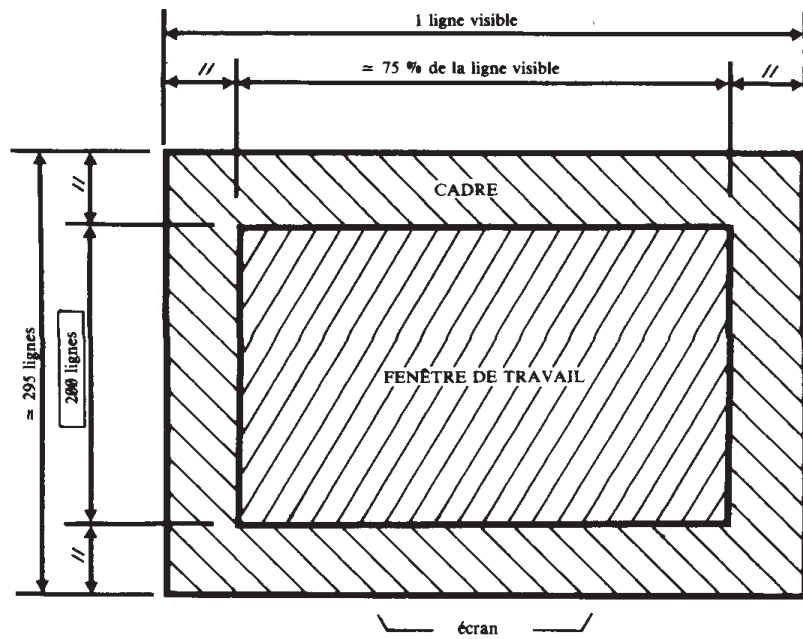


Figure 3
Définition de l'écran

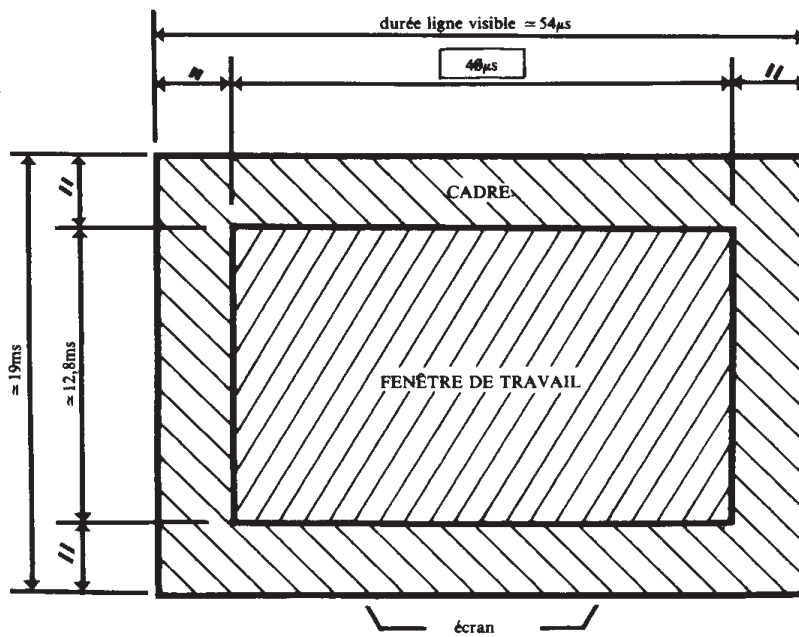


Figure 4
Timing de la gestion d'écran

Mémorisation des points couleurs

Les points vidéo sont rangés huit par huit dans les mémoires RAM 4416. Chaque groupe de huit points, appelé GPL (groupe de points ligne) est donc obtenu par lecture des deux boîtiers de RAM à une adresse donnée (par exemple, \$0000 pour le premier GPL de la fenêtre).

Chaque point du groupe peut être dans la couleur "FORME" s'il est à un, ou dans la couleur "FOND" s'il est à zéro.

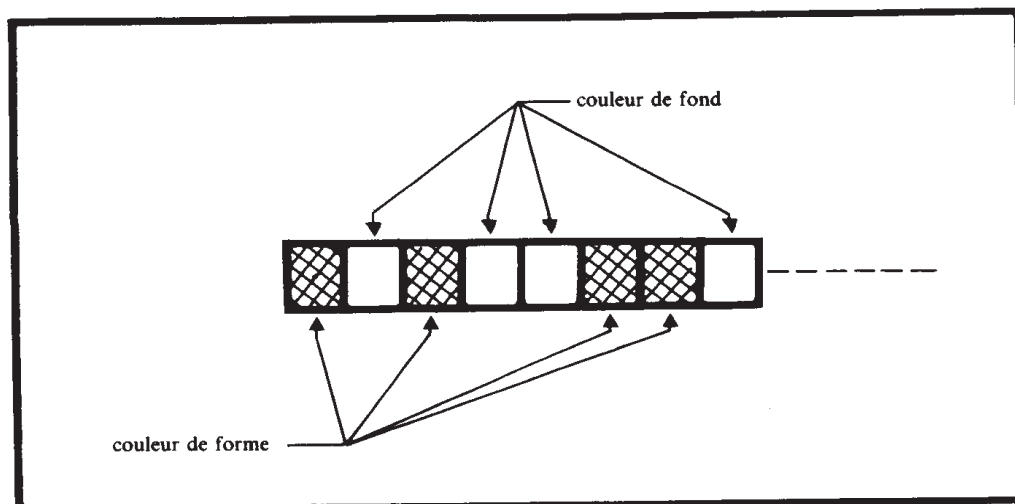


Figure 5
Représentation d'un GPL

Un bit à un sera un bit de *forme*.
Un bit à zéro sera un bit de *fond*.

La couleur de la FORME se matérialise par 4 bits P1 R1 V1 B1 dans la mémoire vive appelée RAM couleur forme.

La couleur du FOND se matérialise également par 4 bits P0 R0 V0 B0 dans la mémoire vive appelée RAM couleur fond.

On obtient les huit couleurs saturées (noir, rouge, vert, jaune, bleu, magenta, cyan et blanc) par mélange des trois couleurs de base rouge, vert et bleu quand le bit de pastel P est mis à 0. Dans le cas où ce bit P est à 1, on obtient alors les points couleurs "demi-teinte" (ou pastel) : gris, rose, vert clair, jaune poussin, bleu clair, rose parme, bleu ciel et orange.

La synthèse des teintes se fait conformément au tableau ci-joint.

La définition complète d'un GPL nécessite donc un octet de mémoire vive pour définir les points et un autre pour le choix de la couleur *forme* ou *fond*. Il faudra donc deux RAM de 8 koctets, soit quatre demi-boîtiers de RAM 4416 (partie des adresses basses).

RAM COULEUR

Couleur de Base Présente	1
Couleur de Base Absente	0

RAM POINT

Bit de FORME	1
Bit de FOND	0

Synthèse des couleurs

P	B	V	R	COULEUR
0	0	0	0	NOIR
0	0	0	1	ROUGE
0	0	1	0	VERT
0	0	1	1	JAUNE
0	1	0	0	BLEU
0	1	0	1	MAGENTA
0	1	1	0	CYAN
0	1	1	1	BLANC
1	0	0	0	GRIS
1	0	0	1	ROSE
1	0	1	0	VERT CLAIR
1	0	1	1	JAUNE POUSSIN
1	1	0	0	BLEU CLAIR
1	1	0	1	ROSE PARME
1	1	1	0	CYAN CLAIR
1	1	1	1	ORANGE

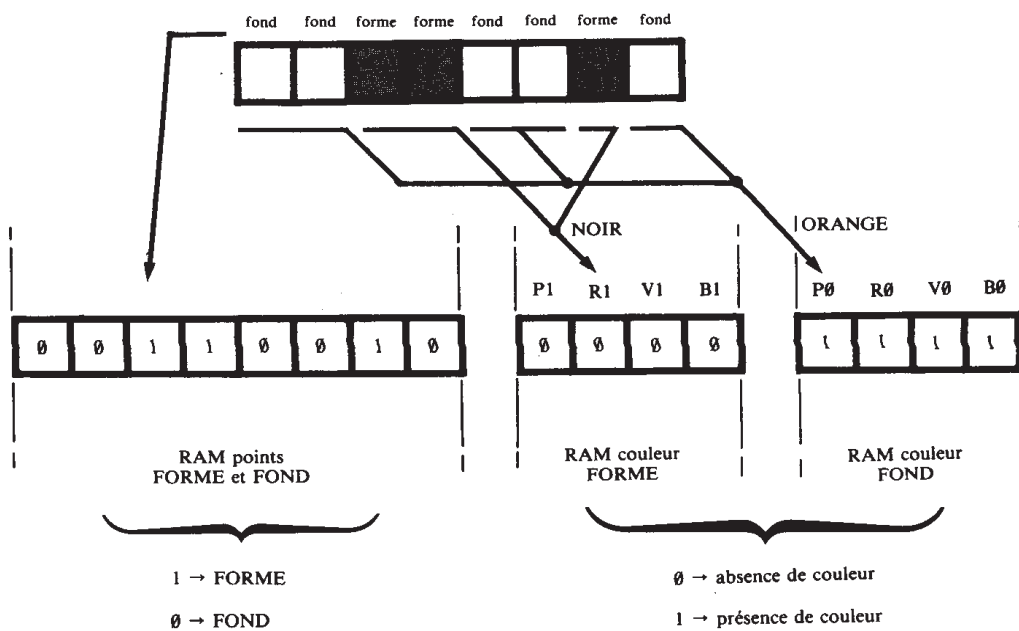


Figure 7
Mémorisation d'un GPL

Ces deux mémoires ont un adressage commun de 8 000 adresses, chaque adresse correspondant au numéro d'ordre du GPL sur l'écran.

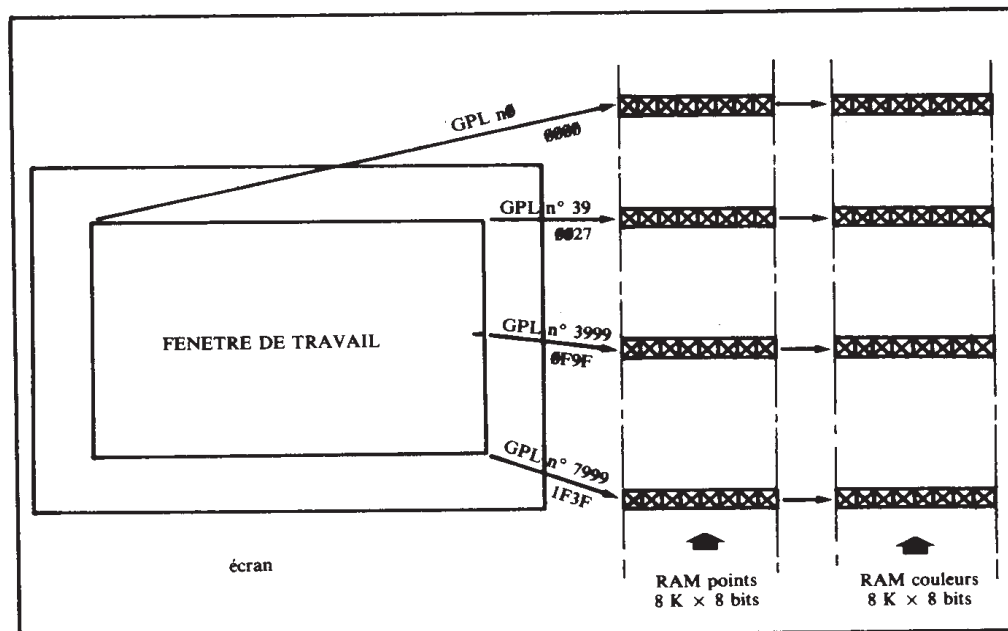


Figure 8
Occupation mémoire des GPL

Restitution des points couleurs

Soit à restituer sur l'écran le GPL n° 0 (coin gauche de la fenêtre). Communiquons aux rams points et couleurs l'adresse 0000 de ce GPL.

On récupère alors en parallèle les 8 bits points et les 8 bits couleurs. Le problème est alors le suivant :

Il faut envoyer sur la prise PERITEL les niveaux PRVB du premier point, puis du second, ...jusqu'au huitième.

La durée totale de cette restitution vidéo doit être de $1 \mu s$ puisqu'il y a 40 GPL le long d'une ligne de la fenêtre, et que l'on doit balayer cette ligne en $40 \mu s$.

La première partie du problème montre la nécessité de "sérialiser" les bits récupérés en parallèle à la sortie de la RAM points. La valeur de chaque bit, 0 ou 1, doit permettre la sélection soit du groupe P0 R0 V0 B0 de couleur FOND, soit du groupe P1 R1 V1 B1 de couleur FORME. Deux circuits 74LS173 contenant chacun quatre bascules D à sorties trois états (voir documentation en Annexe) sont montés en sorties communes, et reçoivent en entrée, l'un le groupe P0 R0 V0 B0, l'autre le groupe P1 R1 V1 B1. Le bit en provenance du sérialisateur sélectionnera l'un des deux groupes et portera les autres sorties à l'état haute impédance (figure 9).

La deuxième partie du problème montre la nécessité de "sérialiser" les 8 bits à la fréquence de 8 Mhz afin de traiter la totalité du GPL en $1 \mu s$. L'entrée d'horloge du sérialisateur sera donc le signal \overline{POINT} en provenance du gate-array et obtenu à partir de H16, horloge 16 Mhz.

L'adressage des RAMS points et couleurs étant multiplexé, il est nécessaire de s'assurer que les deux octets correspondant à un GPL sont bien présents aux entrées du sérialisateur et des quadruples bascules D avant de valider ces circuits. C'est le rôle du signal $\overline{DATA-VALID}$ généré par le gate-array en synchronisation avec les signaux de gestion des adresses RAM, \overline{RAS} et \overline{CAS} et dont on étudiera le timing dans un chapitre suivant.

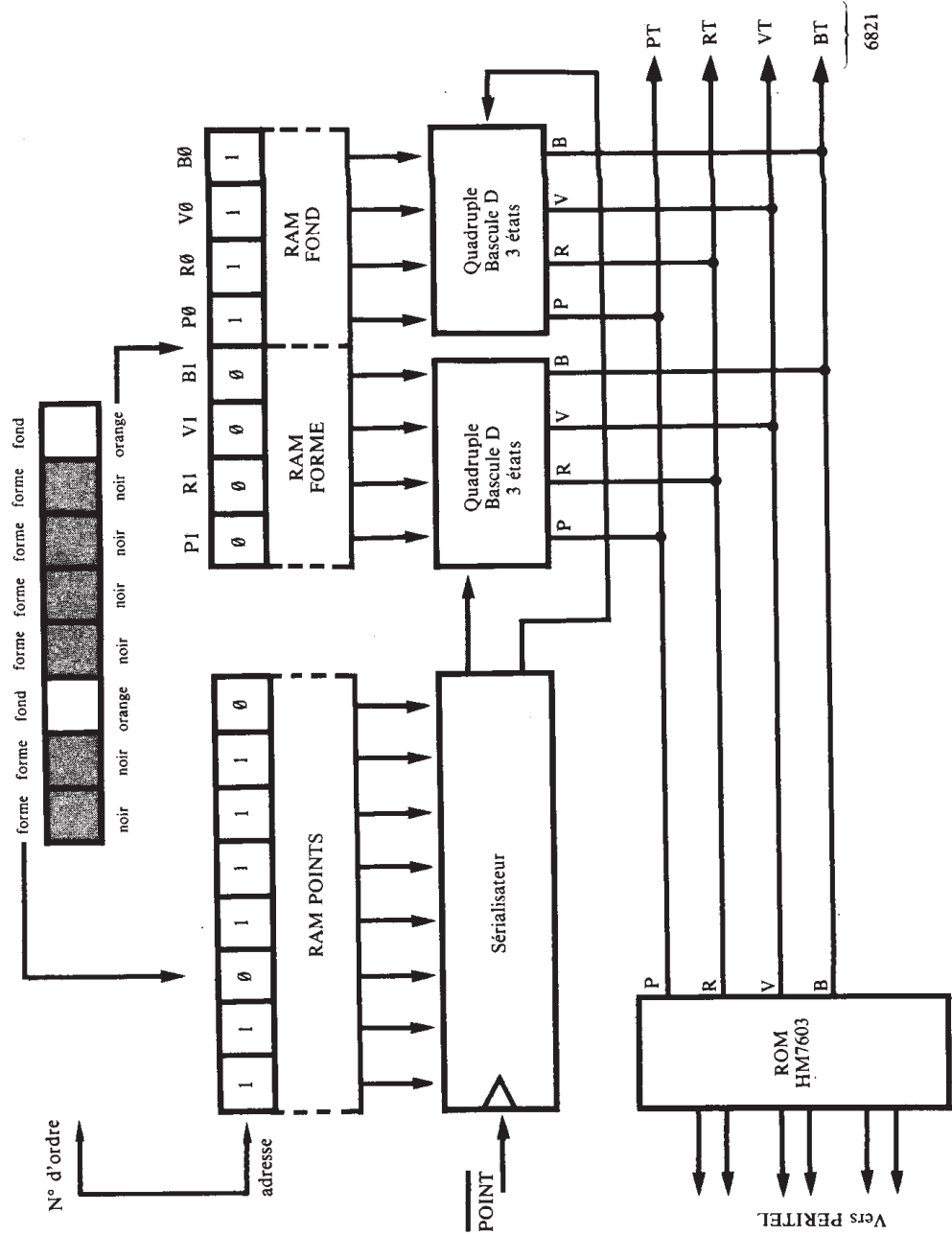


Figure 9
Restitution des couleurs

D'autre part, les bascules ne seront validées que pendant les $40 \mu\text{s}$ de balayage d'une ligne de la fenêtre, et placées en état haute impédance en dehors de cette zone à l'aide du signal $\overline{\text{INILT}}$ généré également par le gate-array.

On arrive donc au schéma de principe ci-dessous (figure 10).

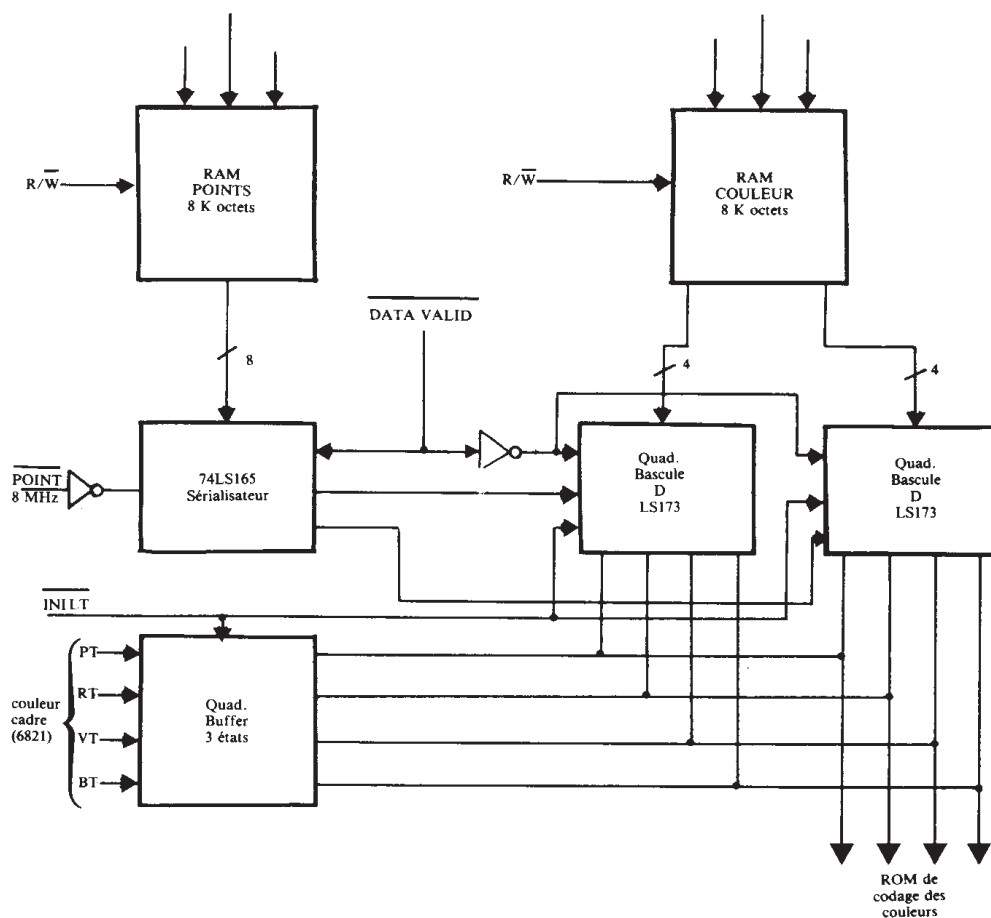


Figure 10
Circuits de gestion des couleurs

Génération de la couleur du tour

La couleur du TOUR est également définie par 4 bits PT RT VT et BT en provenance respectivement des bits PA4 PA1 PA2 et PA3 du PORTA du PIA 6821 système. Ces quatre bits seront reliés également aux sorties P R V B des quadruples bascules latchées via un buffer trois états 74LS126 sélectionné par le signal $\overline{\text{INILT}}$ en opposition avec la validation des bascules.

Les quatre bits de couleurs PRVB fournissent un code aux entrées de la mémoire morte HM 7603 qui fabriquera en sortie les niveaux de tension permettant l'obtention des 16 couleurs choisies. Cette mémoire reçoit comme cinquième bit d'adresse (A4 patte 14, voir documentation en Annexe) le signal $\overline{\text{SUPLT}}$ qui, lorsqu'il est à zéro, provoque l'envoi de la couleur d'effacement vidéo (blanking). Pendant les $10 \mu\text{s}$ de retour ligne, on n'envoie donc pas vraiment de couleur vers la prise PERITEL.

Le timing général est représenté ci-dessous.

ATTENTION : la gestion de l'écran ne se fait que pendant la phase inactive du 6809 ($E = 0$).

INILT	SUPLT	P _T R _T V _T B _T	PRVB
0	1	X	0
0	1	X	1
1	1	0	Z
1	1	1	Z
X	0	X	X

Figure 11 (a)
Timing de gestion des couleurs

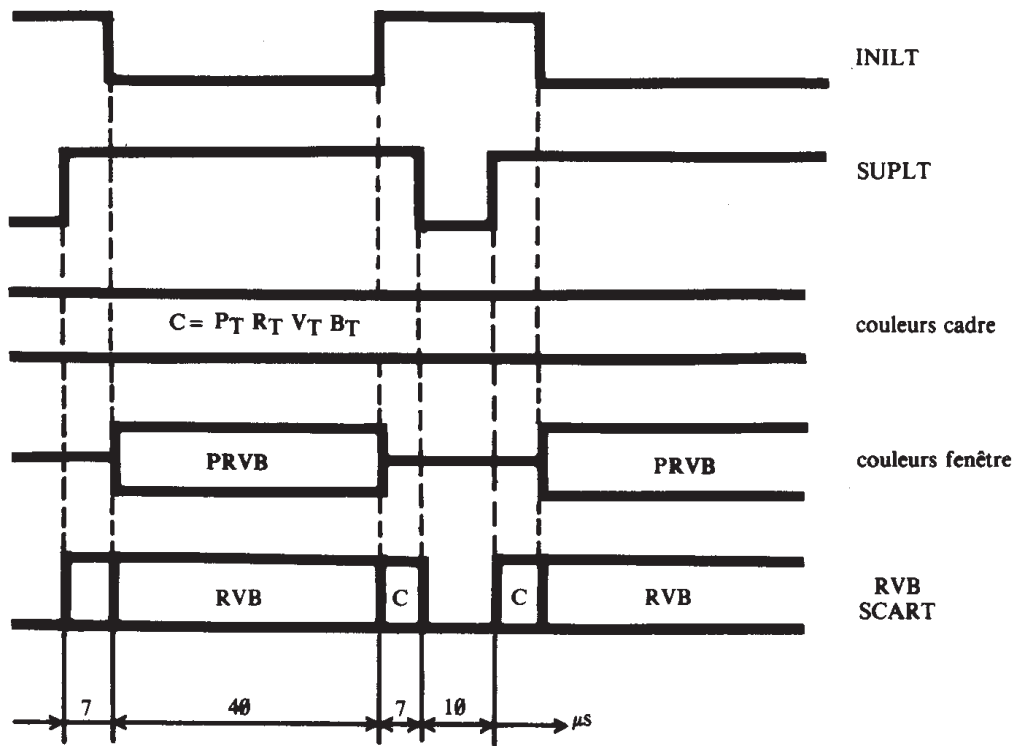


Figure 11 (b)
Timing de gestion des couleurs

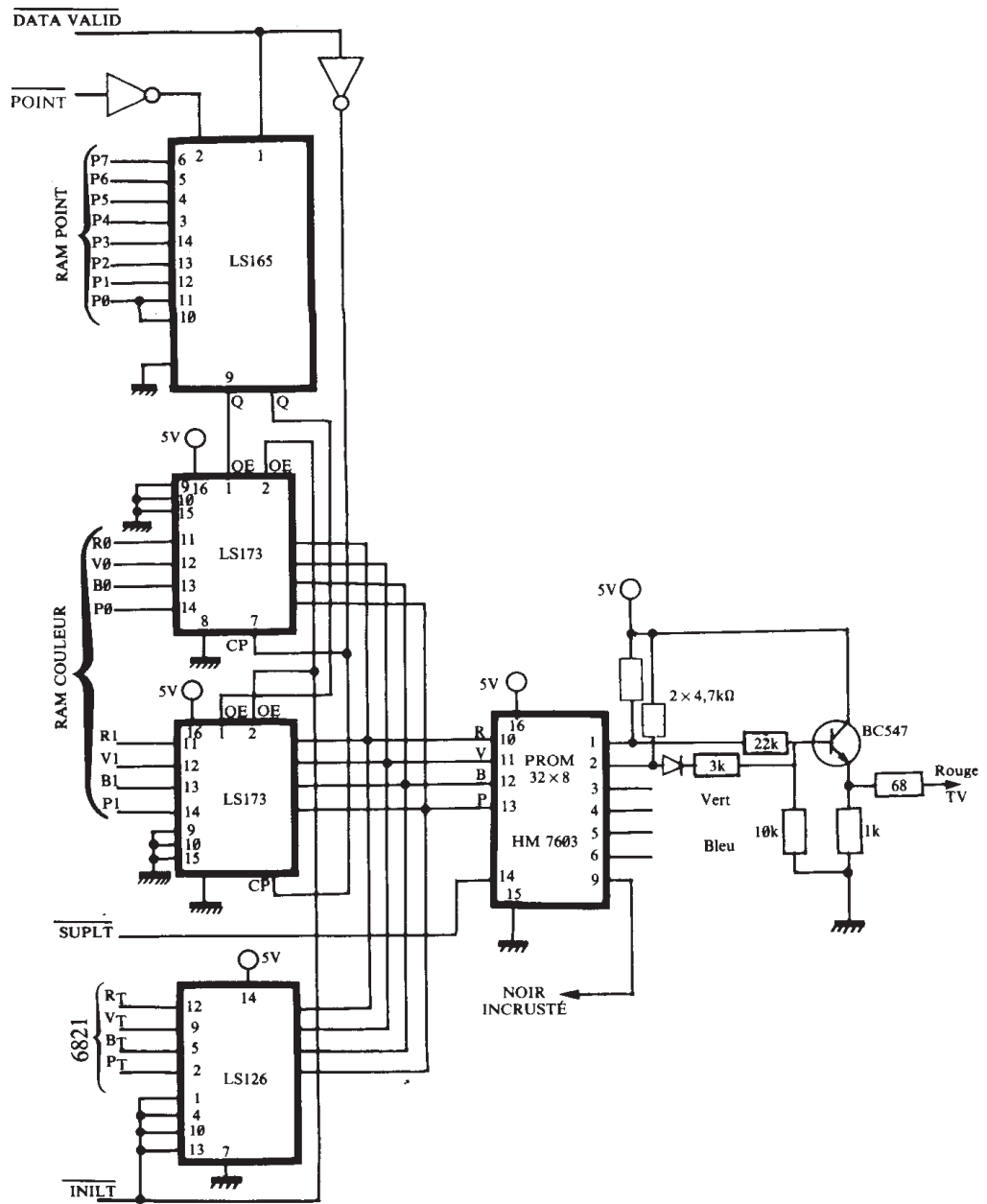


Figure 12
Schéma général de l'organisation vidéo

Organisation des sorties vidéo RVB

Les couleurs dites "pastel" sont obtenues par combinaison des trois fondamentales RVB. Elle peuvent avoir quatre valeurs différentes correspondant approximativement à 0, 33 %, 66 % et 100 % de la teinte saturée. Ces quatre valeurs peuvent être obtenues à l'aide de deux bits. Le noir pastel est un gris, mais le blanc pastel est en fait un orange.

Le composant retenu pour cette fonction est une PROM bipolaire 32 × 8, HM 7603 (voir documentation en Annexe). Six de ses sorties servent à piloter les RVB de la prise PERITEL via des amplificateurs à transistors. Une autre sortie permet le décodage du noir saturé, couleur retenue pour assurer la transparence lors du mode incrusté. La sortie restante n'a pas, à ce jour, reçu d'affectation.

Les 16 premiers octets de la mémoire ne contiennent que le code \$80 qui correspond au "blanking" vidéo. Ce code est envoyé en sortie quand le signal SUPLT passe à zéro.

Le contenu total de la mémoire est explicité et détaillé couleur par couleur dans le tableau ci-dessous :

ADRESSE	COULEUR	B2	B1	V2	V1	R2	R1	DONNÉE
\$00								
à	Blanking	0	0	0	0	0	0	\$80
\$0FF								
\$10	Noir	0	0	0	0	0	0	\$00
\$11	Rouge	0	1	0	1	1	1	\$97
\$12	Vert	0	0	1	1	0	0	\$8C
\$13	Jaune	0	0	1	1	1	1	\$8F
\$14	Bleu	1	1	0	1	0	1	\$B5
\$15	Magenta	1	1	0	0	1	1	\$B3
\$16	Cyan	1	1	1	1	0	1	\$BD
\$17	Blanc	1	1	1	1	1	1	\$BF
\$18	Gris	1	0	1	0	1	0	\$AA
\$19	Rose	1	0	1	0	1	1	\$AB
\$1A	Vert clair	1	0	1	1	1	0	\$AE
\$1B	Jaune clair	1	0	1	1	1	1	\$AF
\$1C	Bleu clair	1	1	1	0	0	1	\$B9
\$1D	Rose parme	1	1	1	0	1	1	\$BB
\$1E	Cyan clair	1	1	1	1	1	0	\$BE
\$1F	Orange	0	1	1	0	1	1	\$9B

Gestion des RAMS écran

Chaque RAM dynamique 4416 peut stocker $16k \times 4$ bits sous forme d'une matrice de 256 lignes et 64×4 colonnes. L'adressage d'une telle matrice nécessite 14 bits. En fait, seuls 8 bits d'adresse (A0 à A7) permettent la gestion de la mémoire et sont multiplexés d'abord vers le bloc d'adresses lignes, quand le signal de validation \overline{RAS} passe à zéro, puis vers le bloc d'adresses colonnes quand le signal de validation colonne passe à 0. Les adresses multiplexées, notées MA0 à MA7, ainsi que les signaux de validation \overline{RAS} et \overline{CAS} proviennent du gate-array.

D'autre part, ces mémoires, étant dynamiques, nécessitent un rafraîchissement de cycle inférieur ou égal à 4 ms. Ce rafraîchissement se fait par adressage succesif des 256 lignes. A chaque ligne adressée, si RAS est à 0, les 64×4 transistors placés aux intersections avec les 64×4 colonnes sont simultanément rafraîchis.

PRINCIPE FONDAMENTAL :

1. Pendant la phase active du 6809E : $E = 1$

Le microprocesseur a accès aux mémoires vives, aussi bien en lecture qu'en écriture, que ce soit pour les RAMS points, couleurs ou programme. Dans ce cas, les adresses multiplexées générées par le gate-array et envoyées aux RAMS sont les adresses que le 6809 fait apparaître sur son bus. De même, les signaux de validation d'adressage, \overline{RAS} , \overline{CASPT} , \overline{CASCOL} et \overline{CASEXT} , générés par le gate-array, le sont par le décodage des signaux d'adresse, \overline{CSPT} , \overline{CSCOL} et \overline{CSEXT} ainsi que du signal FORME.

Pendant ce demi-cycle, les informations ne sont pas communiquées à l'interface vidéo, car $\overline{DATAVALID}$ est à 1.

2. Pendant la phase non active du 6809E : $E = 0$

Les mémoires vives ne sont plus adressées par le 6809, mais par un compteur de contrôle d'écran interne au gate-array (voir documentation en Annexe). Le bus de données n'étant pas actif pendant cette phase, seule la lecture des informations vidéo doit être possible. Il est nécessaire de placer les RAM en mode lecture seulement et de valider les échanges avec l'interface vidéo en portant $\overline{DATAVALID}$ à 0.

Pendant cette phase d'inactivité du microprocesseur, il faut également rafraîchir les 256 lignes, l'une après l'autre, de toutes les RAMS dynamiques. Ce rafraîchissement sera fait automatiquement par le gate-array en synchronisme avec les signaux $\overline{\text{RAS}}$.

Afin d'éviter les conflits pendant la phase vidéo, et de gérer le sens des échanges RAMS \leftrightarrow 6809 pendant la phase active, deux buffers bidirectionnels trois états 74LS245 (voir documentation en Annexe) sont sélectionnés ou non par les signaux $\overline{\text{CASPT}}$ et $\overline{\text{CASCOL}}$, $\text{R}/\overline{\text{W}}$ et $\overline{\text{E}}$ selon le schéma ci-joint.

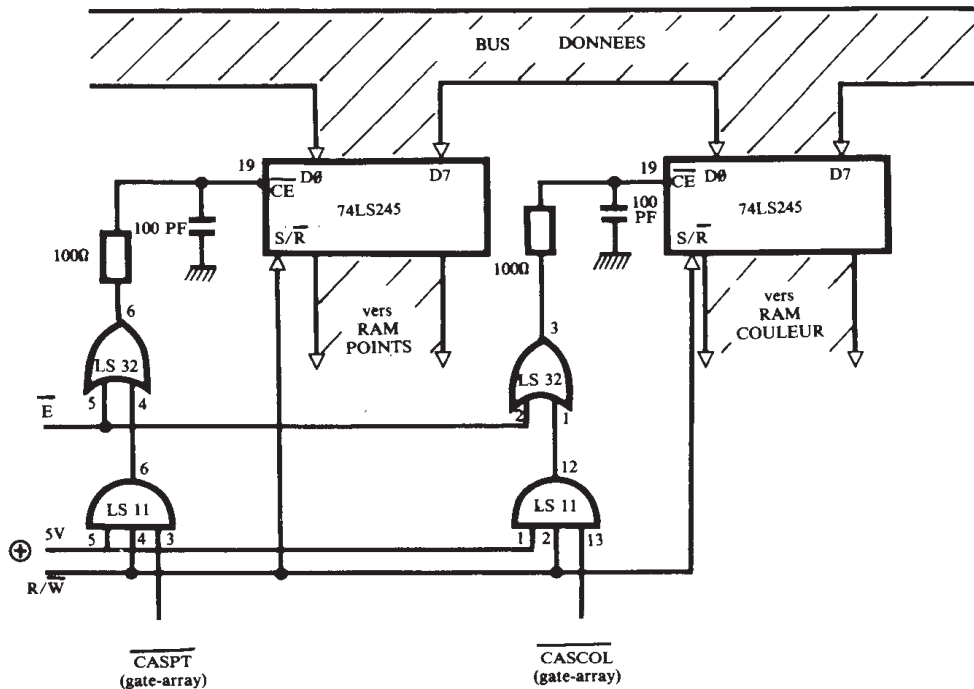


Figure 13
Codage du $\overline{\text{CE}}$ des 74LS245

Les signaux de commande

On distingue deux sortes de signaux de commande :

- les signaux de validation,
- les signaux de gestion.

Les signaux de validation

Ces signaux vont servir principalement à valider les écritures dans les RAMS dynamiques. On y trouvera donc :

- $\overline{\text{RAS}}$ et $\overline{\text{NRAS}}$ signaux servant à la validation ligne des RAMS.

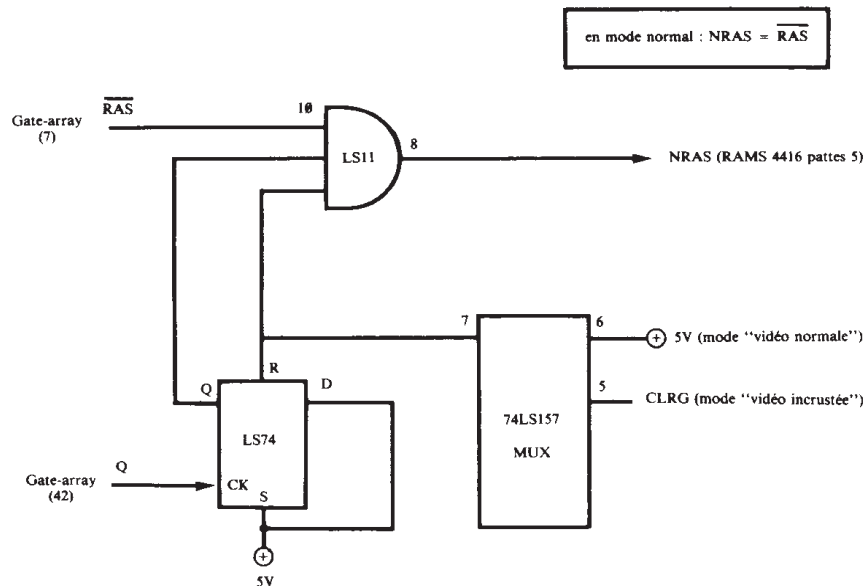


Figure 14
Codage de NRAS

- $\overline{\text{CASPT}}$, $\overline{\text{CASCOL}}$ et $\overline{\text{CASEXT}}$ signaux de validation des colonnes des RAMS.
- $\overline{\text{DATAVALID}}$, fabriqué uniquement pendant la phase non active du 6809, entre la montée de RAS et celle de CAS, permet d'assurer un fonctionnement synchrone lorsqu'elles sont valides :
 - des données en lecture du système de mémorisation,
 - des informations à positionner sur l'écran,
 - des informations optiques du light-pen.

$\overline{\text{DATAVALID}}$ est centré sur la validation des données, en lecture automatique du système de mémorisation.

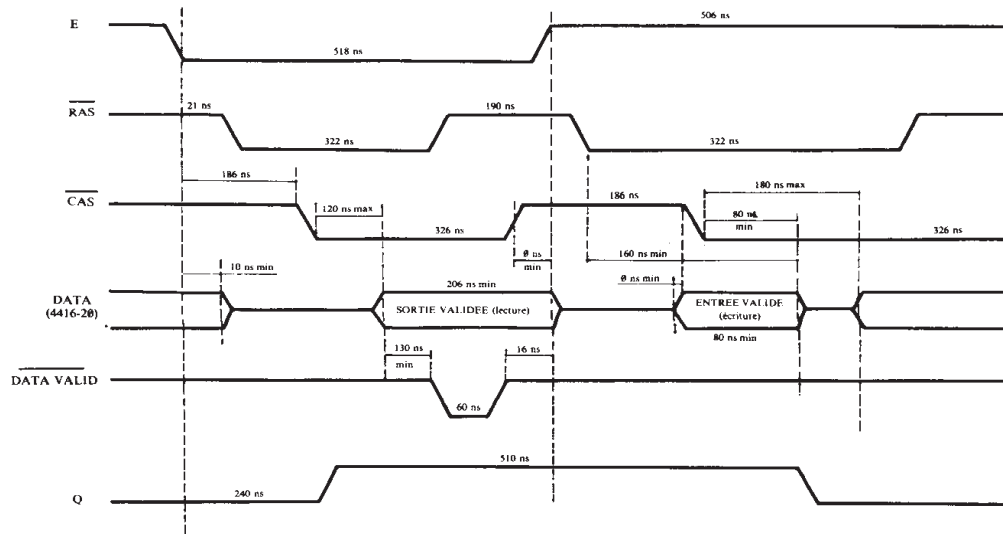


Figure 15
Timing des signaux de validation

Les signaux de gestion

Générés par le gate-array, ce sont les signaux du contrôle d'écran, c'est-à-dire la synchronisation vidéo et les signaux d'initialisation.

Les compteurs lignes du gate-array sont dénommés TL0, TL1, TL2, TL3, TL4 et TL5. Ils comptent les octets, c'est-à-dire les microsecondes puisque dans le balayage d'une ligne de l'écran, il faut $1 \mu\text{s}$ pour "sérialiser" un octet points. La durée totale d'une ligne vidéo étant de $64 \mu\text{s}$, le comptage s'effectue donc \$00 à \$3F (63 en décimal), puis les compteurs sont réinitialisés à 0 pour chaque nouvelle ligne TV.

Les compteurs trame sont dénommés T3, T4, T5, T6, T7, T8, T9, T10, T11, T12 et T13. Ils comptent, avec TL0, TL1 et TL2, le nombre d'octets dans une trame vidéo complète, soit 12 480 au maximum. Ils comptent donc de \$0000 à \$30C0. Le bit T3 est incrémenté tous les 8 octets. Les signaux trames sont générés toutes les 20 ms.

Ces deux signaux sont regroupés sur la patte 62 du gate-array pour former le signal d'inhibition ligne-trame INILT.

Pour les signaux lignes, $40 \mu\text{s}$ à l'état bas et $24 \mu\text{s}$ à l'état haut. Pour les signaux trames, 13 ms à l'état bas et 7 ms à l'état haut.

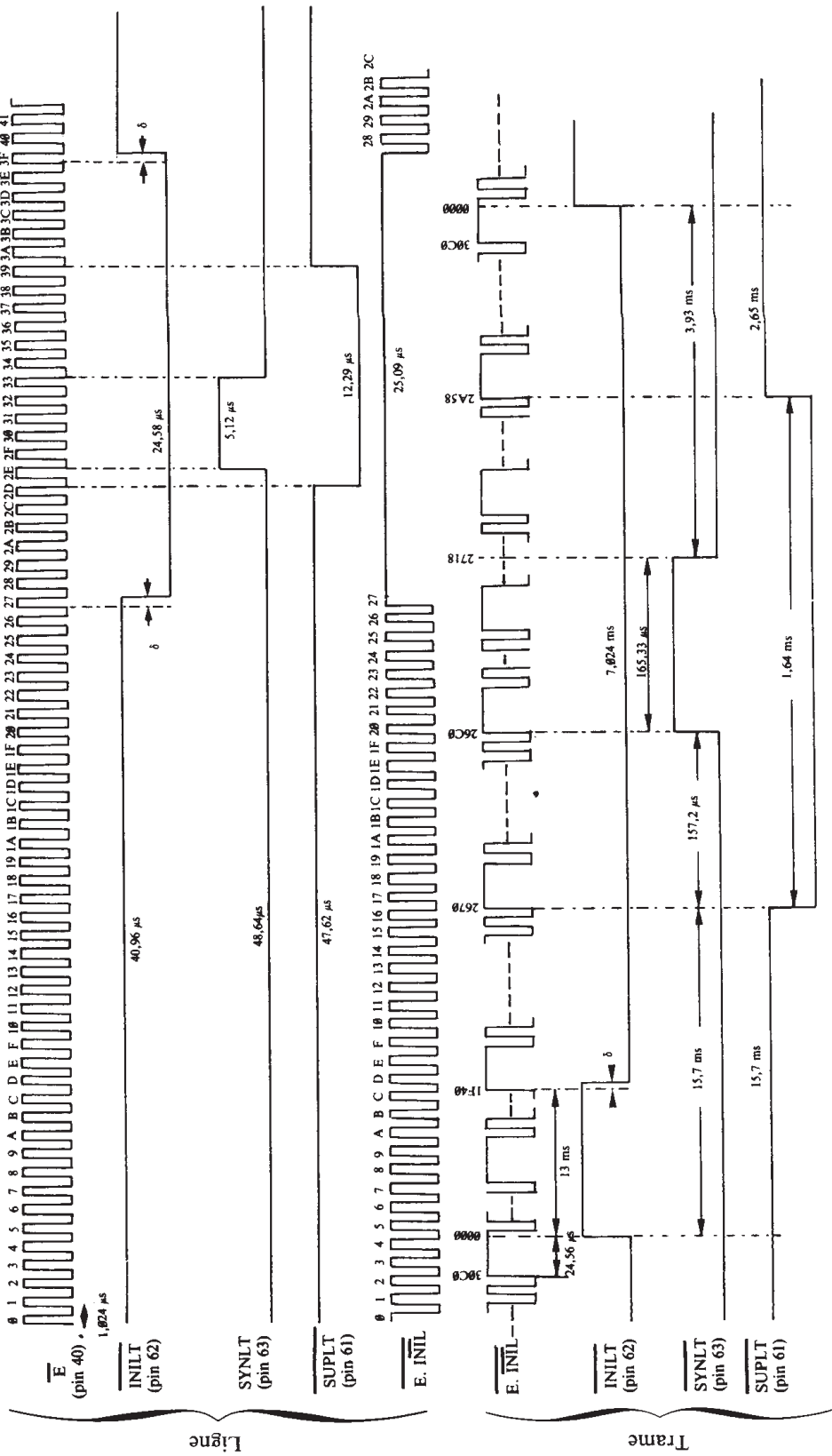


Figure 16
Timing des signaux de gestion

La partie utile de l'écran représente une zone de $40 \mu\text{s}$ de large pour 13 ms de haut. Il existe donc une zone inutile de $12 \mu\text{s}$ de chaque côté de la fenêtre, et de $3,5 \text{ ms}$ entre le haut et le bas de l'écran. Le signal $\overline{\text{SUPLT}}$ (suppression ligne-trame) permet l'inhibition des sorties vidéo RVB par mise à zéro de l'entrée d'adresse A4 de la ROM de codage qui fournit donc, entre $\$00$ et $\$0F$, le "blanking" vidéo.

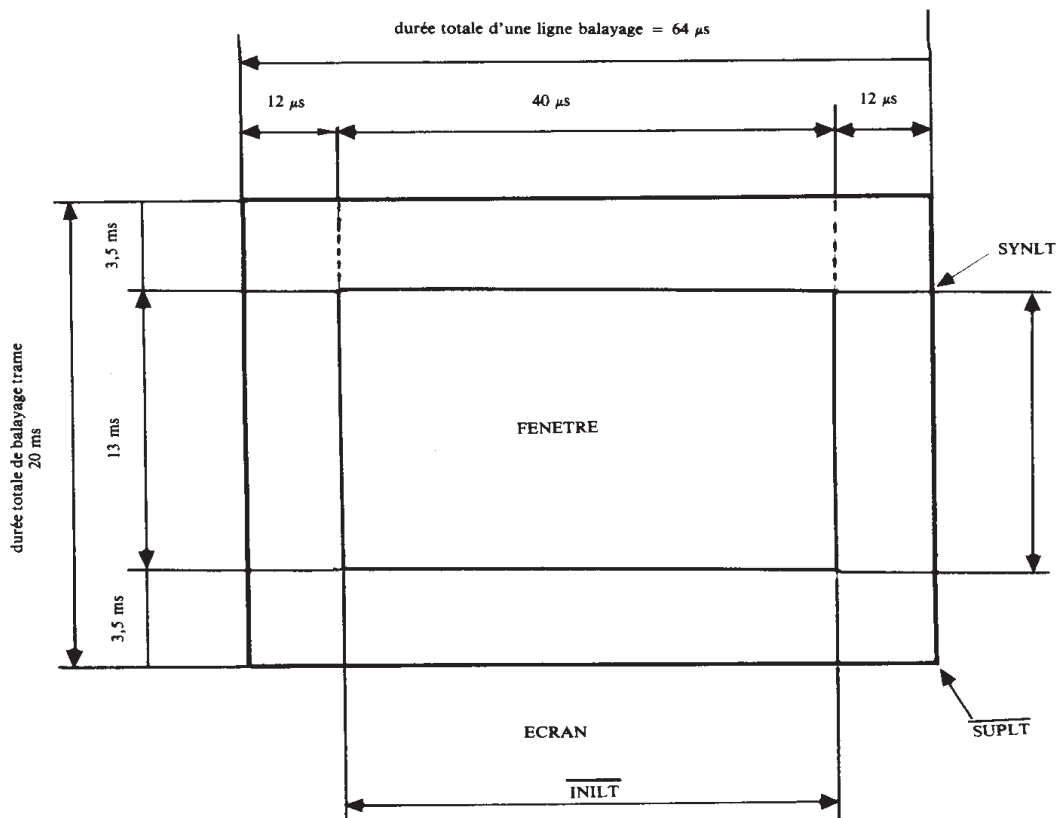


Figure 17
Signaux de synchronisation ligne et trame

Le signal $\overline{\text{SYNLT}}$ représente la synchronisation ligne-trame. Ce signal amplifié par un transistor BC557 sera envoyé sur la sortie synchro-mixte (patte 20) de la prise PERITEL.

Sélection vidéo normale - vidéo incrustée.

La sélection des signaux de gestion de la vidéo suivant le choix du mode, normal ou incrusté, se fait via un quadruple multiplexeur à deux entrées 74LS157 (voir documentation en Annexe).

En mode normal :

- l'entrée H16 (59) du gate-array reçoit le signal d'horloge 16 Mhz.
- l'entrée SYCL (57) du gate-array reçoit un niveau 0.
- le signal CR TV (commutation rapide prise PERITEL) est un niveau de trois volts si connecté au téléviseur.
- le signal CL TV (commutation lente prise PERITEL) est porté à 12 volts à l'aide du multiplicateur de tension filtré à transistors.

Le téléviseur fonctionnera donc en mode "logique", ne prenant en compte que les signaux couleur RVB et le signal de synchro-mixte SYTV.

En mode incrusté :

- l'entrée H16 reçoit cette fois les signaux d'horloge provenant du VCO (voltage controlled oscillator) de l'extension d'incrustation.
- le signal SYCL est piloté par le signal CLRG venant de la même extension et qui permet de resynchroniser le MO 5 sur la vidéo analogique en rattrapant la 625^e ligne. Le signal CLRG force en effet une remise à zéro des compteurs du gate-array.
- l'entrée du multiplicateur de tension étant portée au 0, la sortie de commutation lente CL TV est à 0 volt.
- le signal de commutation rapide CR TV est piloté par la sortie "noir incrusté" de la ROM de codage des couleurs HM7603. Il passe donc de trois volts quand le téléviseur saisit les signaux RVB en provenance du MO 5, à 0 volts quand le téléviseur saisit les informations vidéo analogiques.

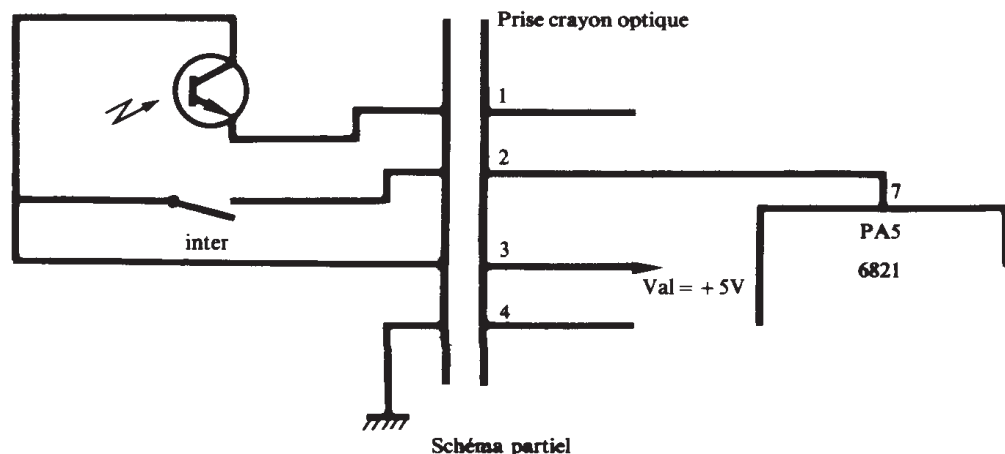


Figure 19
Schéma partiel du crayon optique

Le fonctionnement de cet interrupteur ne peut être actif que grâce à un soft convenable. La routine LPINT teste le bouton du crayon optique et revient avec $C = 1$ si le bouton est fermé, et $C = 0$ s'il est ouvert.

Fonctionnement du phototransistor

Lorsque l'écran vidéo reçoit "via la prise PERITEL" une information RVB, il n'allume qu'un point. Si face à ce point est placé le phototransistor du crayon optique, celui-ci reçoit la lumière du point, à condition que celui-ci soit suffisamment lumineux, qui le sature.

Cette information courant est convertie en une information tension qui, amplifiée, est mise en forme à l'aide d'un monostable pour fournir finalement l'information \overline{CKLP} .

Dans l'état actuel des choses, ce signal \overline{CKLP} est relié à l'entrée d'interruption CA1 du 6821 système.

Lorsque dans un programme, on place une instruction de test du crayon optique, le 6809E est donc au courant que l'utilisateur peut utiliser son crayon optique sur l'écran. Immédiatement le 6809E fait donc appel à une routine particulière qui autorise une demande d'interruption \overline{FIRQ} sur l'entrée CA1 du 6821. A partir de cet instant, dès que le signal \overline{CKLP} passera de 0 à 1, ce front montant, coïncidant avec le passage du spot sur l'écran, déroutera le 6809 vers une routine d'interruption.

Cette routine a pour but de décoder la position du crayon optique sur une trame. Elle fonctionne de la façon suivante :

- blocage immédiat de l'état des compteurs lignes-trames.
- lecture de ces compteurs par le 6809 qui adresse successivement les quatre lignes du gate-array, \$A7E4 à \$A7E7.

En effet, les compteurs trames T3 à T13 associés aux compteurs TL0 à TL2 fournissent une précision au niveau de l'octet. La précision au niveau du point est obtenue à l'aide des trois signaux d'horloge H4 (4 Mhz), H2 (2 Mhz), et H1 (1 Mhz). Ce sont ces horloges qui en comptant de 0 à 7 l'intérieur de chaque octet permettent une définition au niveau du point.

Il est envisagé de modifier la génération de l'interruption $\overline{\text{FIRQ}}$ à l'aide d'un masque approprié dans le gate-array. Dans ce cas, le signal $\overline{\text{CKLP}}$ ne sera plus relié qu'à l'entrée 58 du gate-array. Dès que le 6809 détectera la possibilité d'utilisation du light-pen, il fera appel à une routine spéciale. Cette dernière positionnera à un le bit D0 à l'adresse \$A7E4 du gate-array, ce qui aura pour effet de valider le $\overline{\text{CKLP}}$ s'il se présente.

Ce $\overline{\text{CKLP}}$, une fois validé et calibré par H16, ressort du gate-array par la patte 38, signal $\overline{\text{ITLP}}$. Ce signal ira valider une interruption sur le PIA 6821 qui, si elle a une longueur suffisante (500 ns minimum), sera transmise au 6809E. La suite sera la même.

Le fonctionnement du clavier

Le clavier du MO 5 est une matrice de huit lignes et de huit colonnes. Cette matrice est adressée par les 7 bits PB1 à PB7 du PIA 6821 système via un multiplexeur huit entrées 74LS151 (voir documentation en Annexe) et un démultiplexeur 2 vers 4 à collecteurs ouverts 74LS156 (voir documentation en Annexe). La fonction collecteurs ouverts du 74LS156 est obligatoire du fait de la possibilité d'appui simultané de deux touches de la même colonne.

L'ensemble fonctionne de la manière suivante : dès la mise sous tension, les pattes PB1 à PB6 sont initialisées en sorties alors que la patte PB7 l'est en entrée.

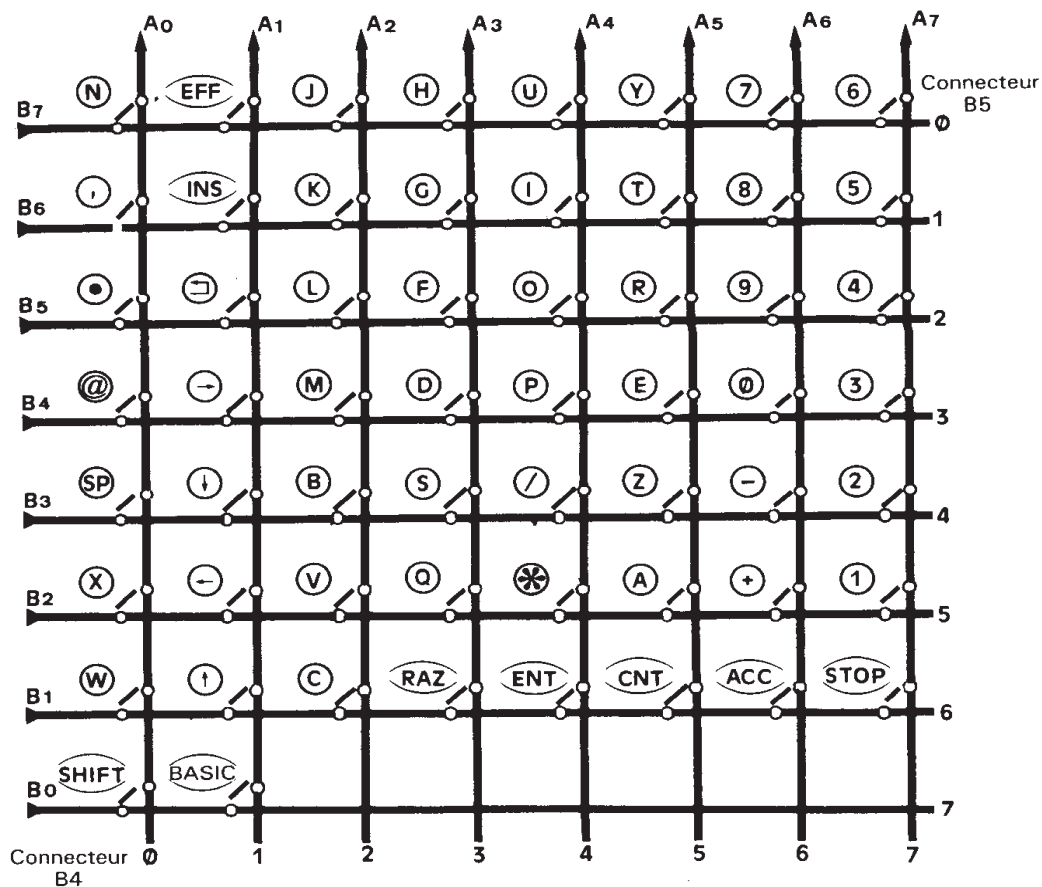


Figure 21
Matrice clavier

A l'aide des trois premiers bits PB1, PB2 et PB3, on fait passer successivement et individuellement toutes les colonnes A0 à A7 de la matrice à 0 volt.

Lorsqu'une colonne est à 0, on adresse avec les bits PB4, PB5 et PB6 toutes les lignes, de B0 à B7, de la matrice, et on scrute l'état de la ligne d'entrée PB7.

Si aucune touche n'est enfoncée, alors les résistances de "pull-up" de 10kΩ laissent PB7 au niveau 1. Au contraire, si au moins une touche est enfoncée, alors PB7 passe à 0 ; dans ce cas, la connaissance des adresses ligne et colonne de la matrice fournit le code de la touche enfoncée.

A l'aide d'une table, ce code est converti en ASCII.

Afin d'optimiser le soft, les colonnes A du clavier sont commandées dans l'ordre par le démultiplexeur alors que les lignes B sont inversées dans le multiplexeur, c'est-à-dire qu'à la ligne 0 correspond l'adresse 7, à la ligne 1 l'adresse 6, etc...

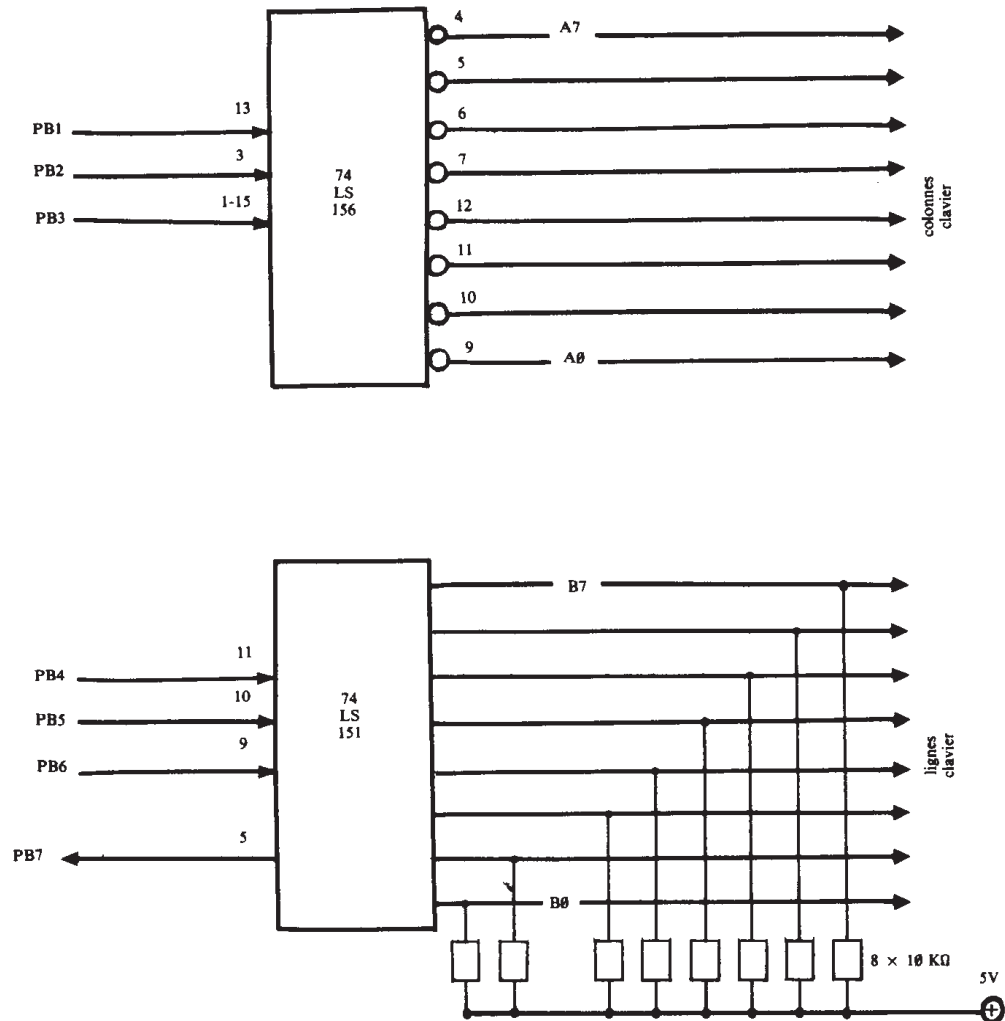


Figure 22
Gestion du clavier

Les circuits de décodage d'adresse

Le rôle du système de décodage d'adresse est de générer des signaux de validation permettant la sélection de chaque boîtier (ou groupe de boîtiers) de circuit intégré dans la zone mémoire qui lui est affectée.

La carte mémoire (voir chapitre 3, p. 59) permet de situer les principales zones à sélectionner.

La sélection des mémoires RAMS est réalisée avec un décodeur/multiplexeur 74LS156 conformément au schéma ci-dessous.

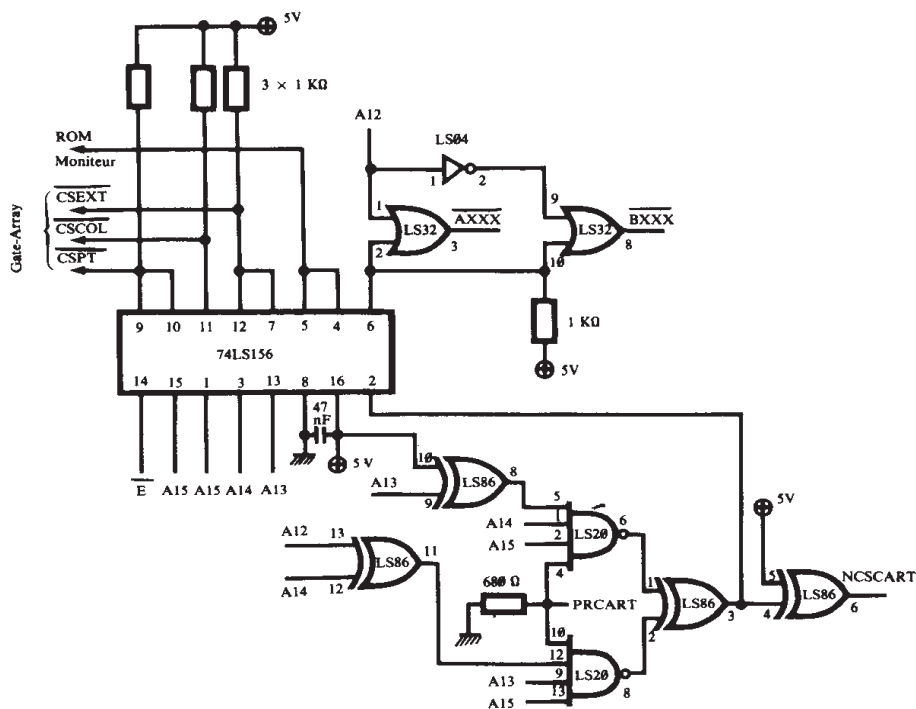


Figure 23
Les décodeurs d'adresse

Ce décodeur fournit les signaux suivants :

- $\overline{\text{CSPT}}$ décodé de \$0000 à \$3FFF
- $\overline{\text{CSCOL}}$ décodé de \$4000 à \$5FFF
- $\overline{\text{CSEXT}}$ décodé de \$6000 à \$9FFF
- $\overline{\text{CE}}$ (reprom 27 128) décodé de \$C000 à \$EFFF
- un signal décodé de \$A000 à \$BFFF qui, associé au bit d'adresse A12 par différentes portes logiques, fournira les signaux de validation des extentions $\overline{\text{AXXX}}$ et $\overline{\text{BXXX}}$.

L'adressage du PIA 6821 système (\$A7C0 à \$A7C3) se fait à partir de portes logiques selon le schéma ci-joint.

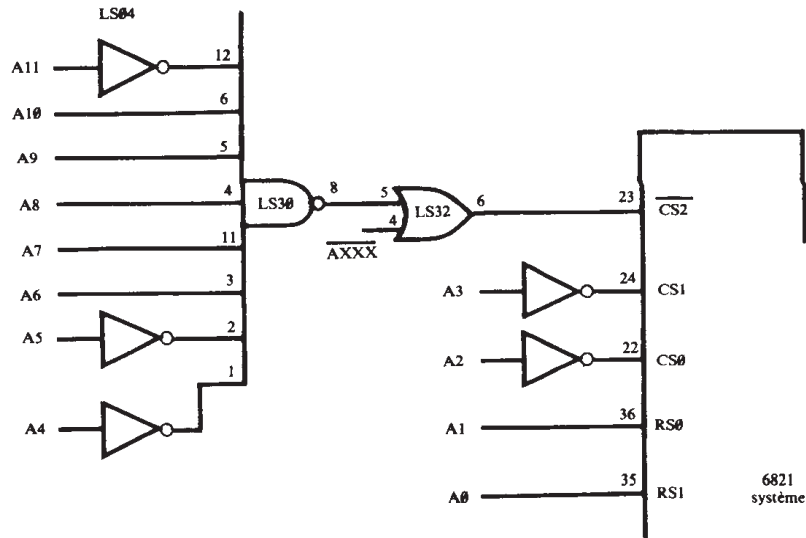


Figure 24
Sélection des PIA

L'alimentation

L'alimentation du MO 5 est intégrée dans un boîtier spécifique, le raccordement au micro-ordinateur étant effectué par un cordon de 80 cm équipé d'une prise JACK femelle (tension positive sur partie extérieure) de diamètre extérieur 5,5 mm. Elle délivre une tension unique, redressée filtrée non régulée d'environ 15,5 volts moyens à 0,75 A avec une ondulation inférieure à 2 volts. La tension d'alimentation est le secteur EDF 220 V 50 Hz.

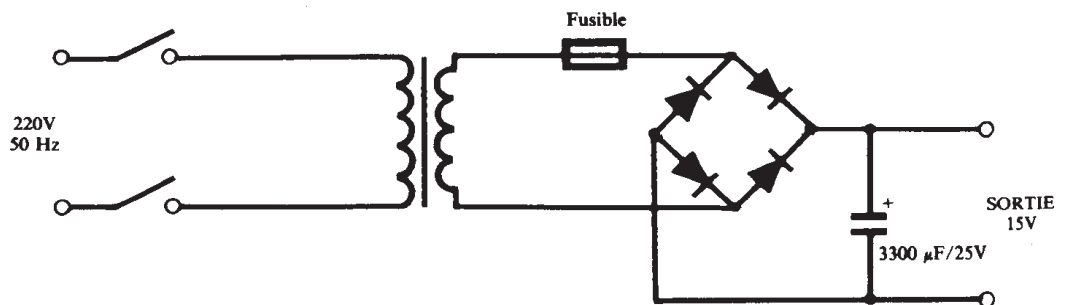


Figure 25
Bloc d'alimentation

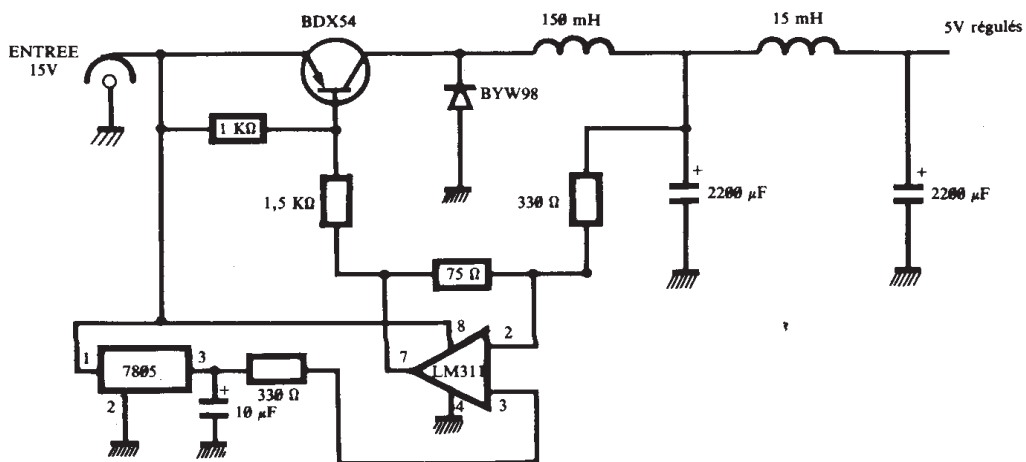


Figure 26
Régulation de l'alimentation

Dans le MO 5, cette tension de 15 volts est réglée et filtrée selon le schéma ci-dessous, afin de fournir une tension, stable et exempte de parasites, de 5 volts.