
Annexe

Les circuits

Les circuits logiques

74LS74 Double bascule

Description

Le '74 est une double bascule type D avec Set, Reset et sorties complémentaires Q et \bar{Q} .

Les entrées Set et Reset sont actives au niveau BAS et fonctionnent indépendamment de l'entrée d'horloge.

Les informations présentes sur les entrées D sont transférées sur les sorties Q sur le **front montant** de l'impulsion d'horloge.

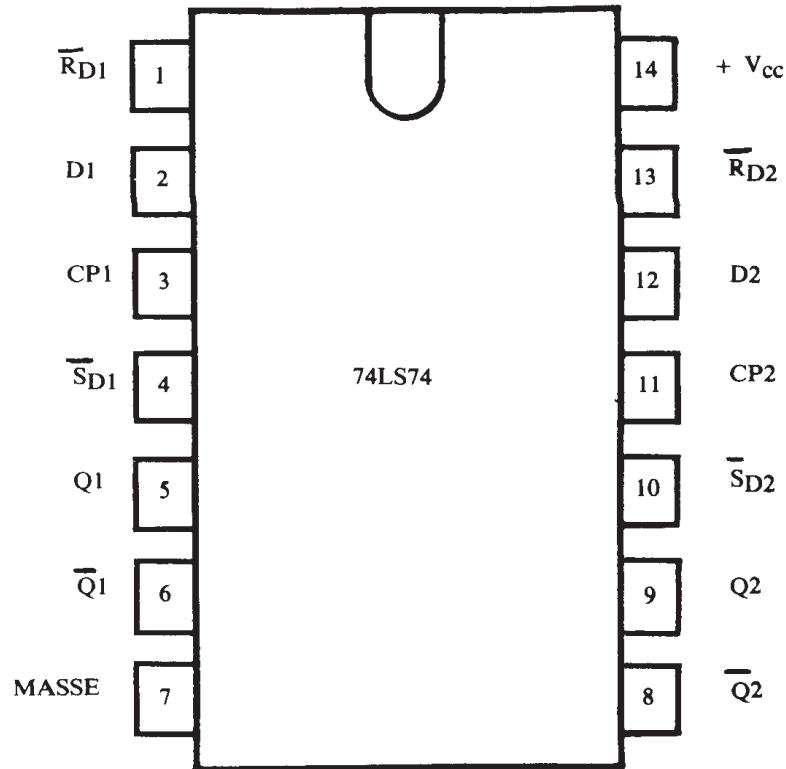


Figure 46
Boîtier du 74LS74

Table de fonctionnement

MODE	ENTRÉES				SORTIES	
	\overline{S}_D	\overline{R}_D	CP	D	Q	\overline{Q}
SET ASYNCHRONE	L	H	X	X	H	L
RESET ASYNCHRONE	H	L	X	X	L	H
INDÉTERMINÉ	L	L	X	X	H	H
MISE À "1" (SET)	H	H	\uparrow	h	H	L
MISE À "0" (RESET)	H	H	\downarrow	l	L	H

H = état maintenu au niveau de tension HAUT.

h = niveau HAUT positionné 20 ns avant le \uparrow de CP.

L = état maintenu au niveau de tension BAS.

l = niveau BAS positionné 20 ns avant le \downarrow de CP.

X = état quelconque.

\uparrow = front montant de l'impulsion d'horloge CP.

74LS126

Quadruple buffer 3 états

Configuration du boîtier

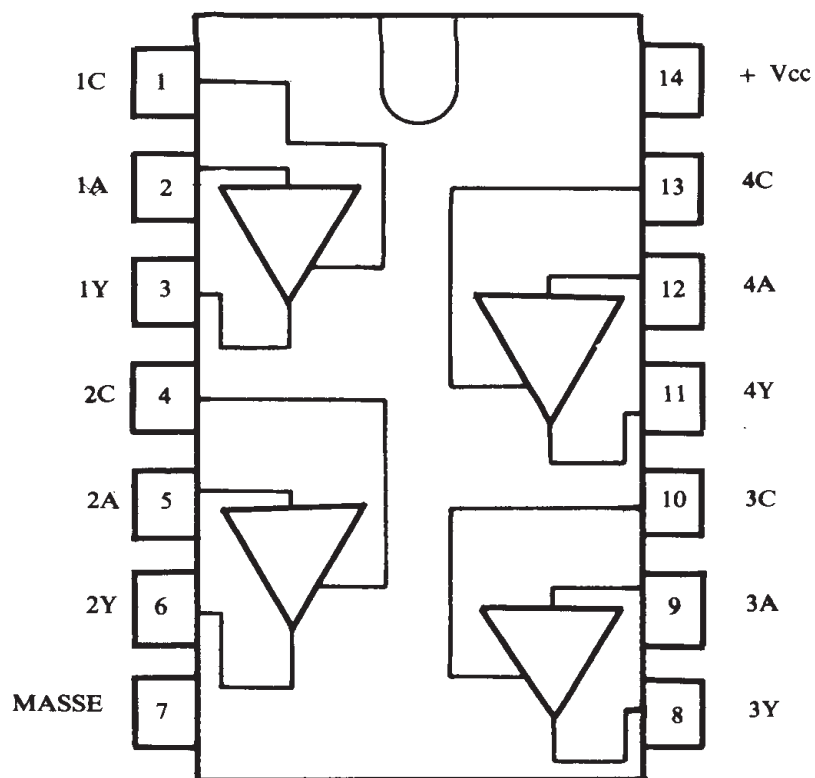


Figure 47
Boîtier du 74LS126

Table de fonctionnement

ENTRÉES		SORTIES
C	A	Y
H	L	L
H	H	H
L	X	(Z)

H = niveau de tension HAUT.
 L = niveau de tension BAS.
 X = niveau quelconque.
 (Z) = haute impédance.

74LS151

Multiplexeur à 8 entrées

Description

Le '151 est équivalent à un commutateur logique à 8 positions commandé par 3 bits d'adresse S_0 , S_1 , S_2 . Les deux sorties Y et \bar{Y} sont présentes

L'entrée de validation \bar{E} est active au niveau BAS. Si cette entrée est au niveau HAUT, alors la sortie Y est au niveau BAS et \bar{Y} au niveau HAUT, indépendamment de l'état des entrées.

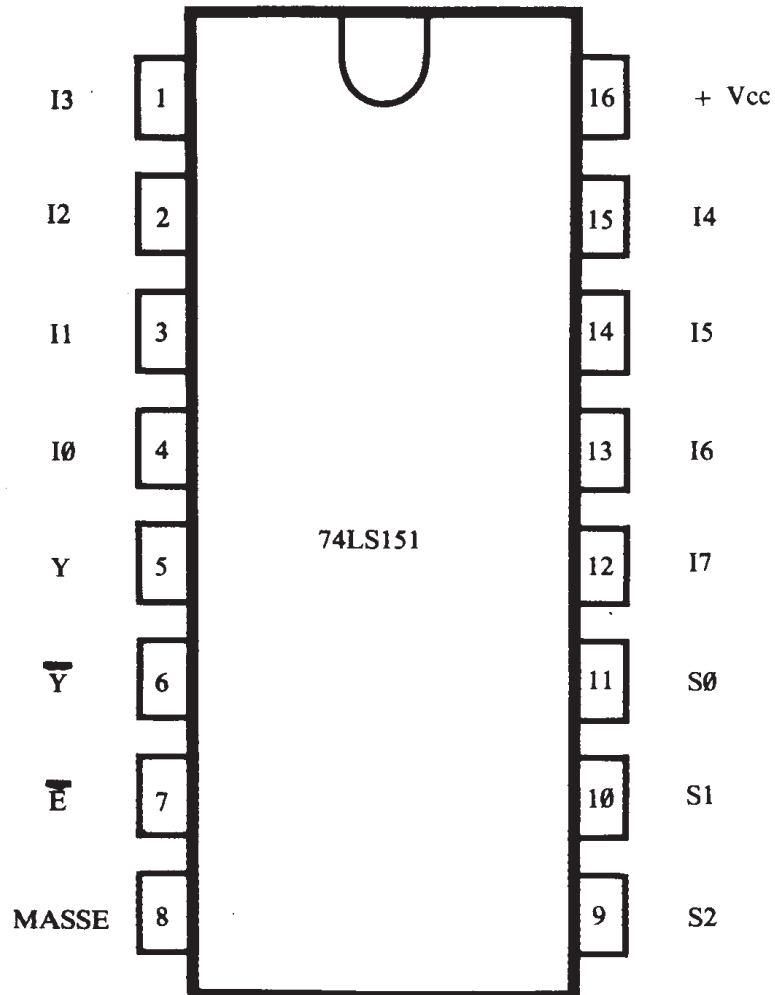


Figure 48
Boîtier du 74LS151

Table de fonctionnement

E	S ₂	S ₁	S ₀	I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	Y	Y
H	X	X	X	X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

74LS156

double démultiplexeur 1 vers 4 sortie
collecteur ouvert

Description

Le '156 est un double démultiplexeur de 1 vers 4 ayant des entrées d'adresses communes ainsi que des entrées de validation sur porte logique.

Chaque section de décodage, si elle est sélectionnée, accepte les deux entrées d'adresse A₀ et A₁ et fournit quatre sorties mutuellement exclusives Q₀ à Q₃, actives au niveau BAS. Lorsqu'une sortie n'est pas adressée ou appartient au décodeur non sélectionné, elle passe au niveau HAUT.

Chaque décodeur possède une porte de validation à deux entrées. L'un des deux décodeurs accepte une entrée au niveau HAUT et une

au niveau BAS, ce qui permet un démultiplexage vrai ou complé-
menté. L'autre démultiplexeur nécessite deux entrées actives au
niveau BAS. L'ensemble peut être utilisé comme un démultiplexeur
de 1 vers 8 en reliant les pattes 1 et 15 du boîtier, considérées alors
comme l'adresse A2. Dans ce cas, en reliant les pattes 2 et 14, on dis-
pose en ce point d'une entrée de validation \overline{E} .

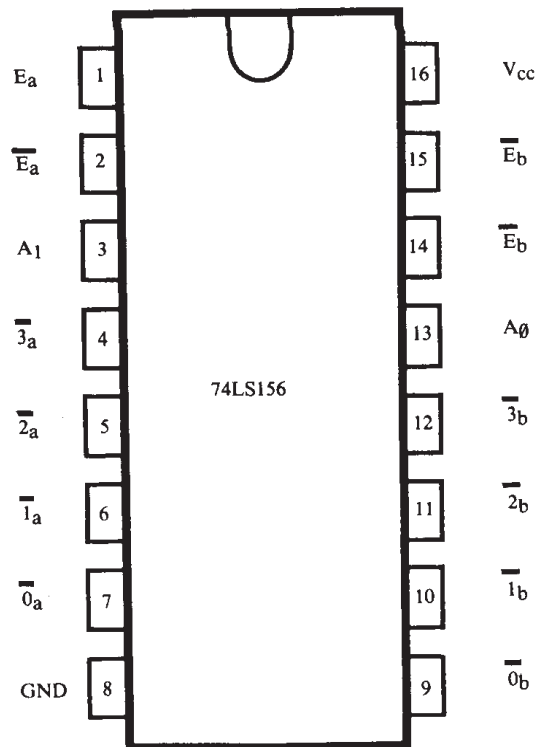


Figure 49
Boîtier 74LS156

Table de fonctionnement

ADRESSES		Validation "a"		SORTIE "a"				Validation "b"		SORTIE "b"			
A ₀	A ₁	E _a	\overline{E}_a	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	\overline{E}_b	\overline{E}_b	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$
X	X	L	X	H	H	H	H	H	X	H	H	H	H
X	X	X	H	H	H	H	H	X	H	H	H	H	H
L	L	H	L	L	H	H	H	L	L	L	H	H	H
H	L	H	L	H	L	H	H	L	L	H	L	H	H
L	H	H	L	H	H	L	H	L	L	H	H	L	H
H	H	H	L	H	H	H	L	L	L	H	H	H	L

H = niveau HAUT
L = niveau BAS
X = quelconque

74LS157

quadruple multiplexeur 2 entrées

Description

Le 'LS157 est un multiplexeur qui sélectionne quatre bits d'information à partir de deux sources sous le contrôle d'une entrée de sélection (S). L'entrée de validation (\overline{E}) est active au niveau BAS.

Quand \overline{E} est au niveau HAUT, toutes les sorties Y sont forcées au niveau BAS et ceci quelles que soient les autres conditions d'entrée.

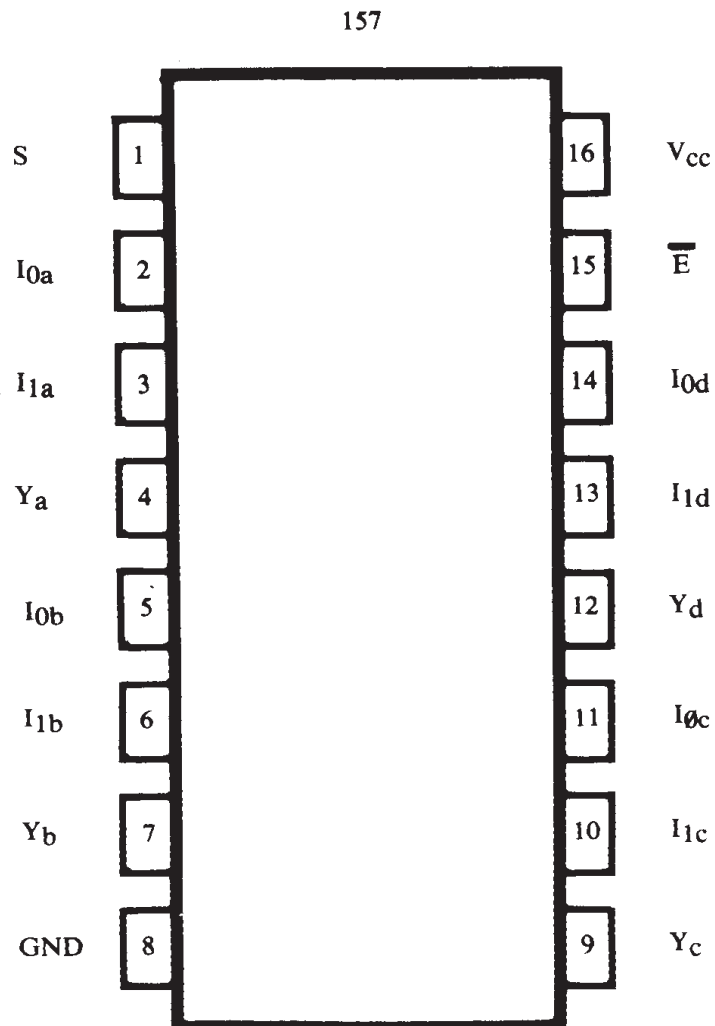


Figure 50
Boîtier du 74LS157

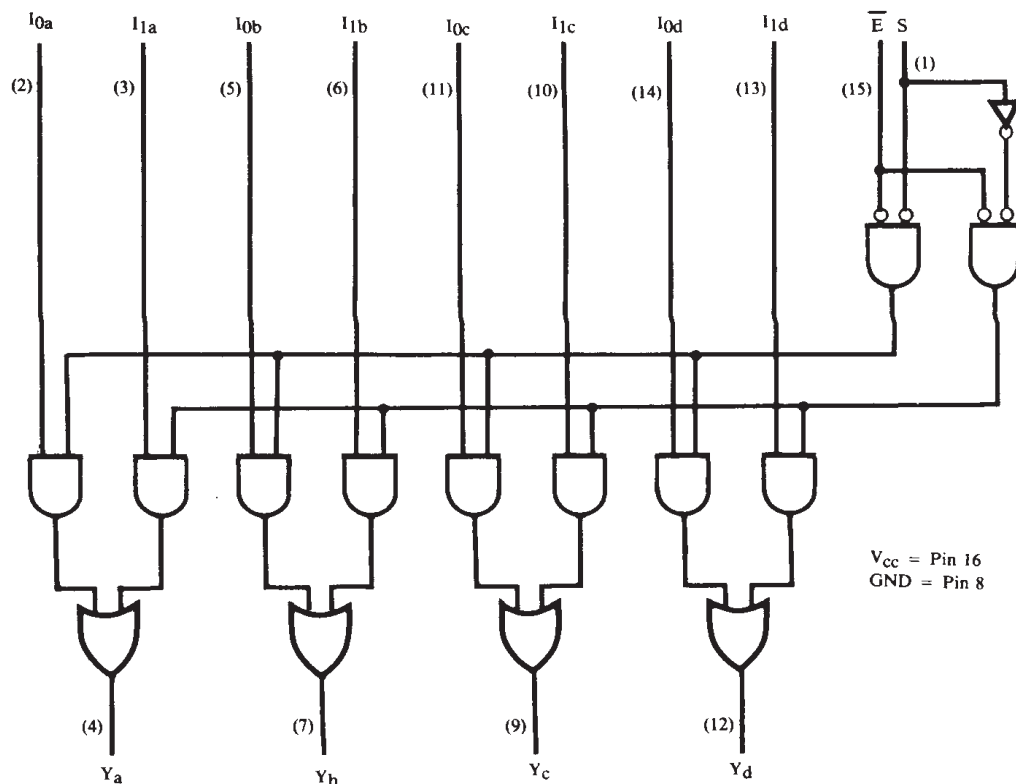


Figure 51
Diagramme logique

74LS165
 registre à décalage 8 bits entrées série
 ou // — sortie série

Description

Le '165 est un registre à décalage 8 bits dont les entrées peuvent être du mode série ou parallèle, et qui fournit des informations séries complémentaires Q_7 et $\overline{Q_7}$ prises sur le dernier étage de bascules.

Lorsque l'entrée PL est au niveau BAS, le chargement des registres asynchrones se fait sous forme parallèle, avec les informations $D_0 - D_7$. Si l'entrée \overline{PL} est au niveau HAUT, le chargement des informa-

tions se fait sous forme série à partir de l'entrée D_s , les informations étant décalées de registre en registre sur chaque **front montant** de l'impulsion d'horloge.

L'entrée d'horloge ayant une structure de porte logique, ceci permet un verrouillage de l'impulsion d'horloge à partir de l'entrée \overline{CE} . On peut également renverser les rôles joués par CP et \overline{CE} .

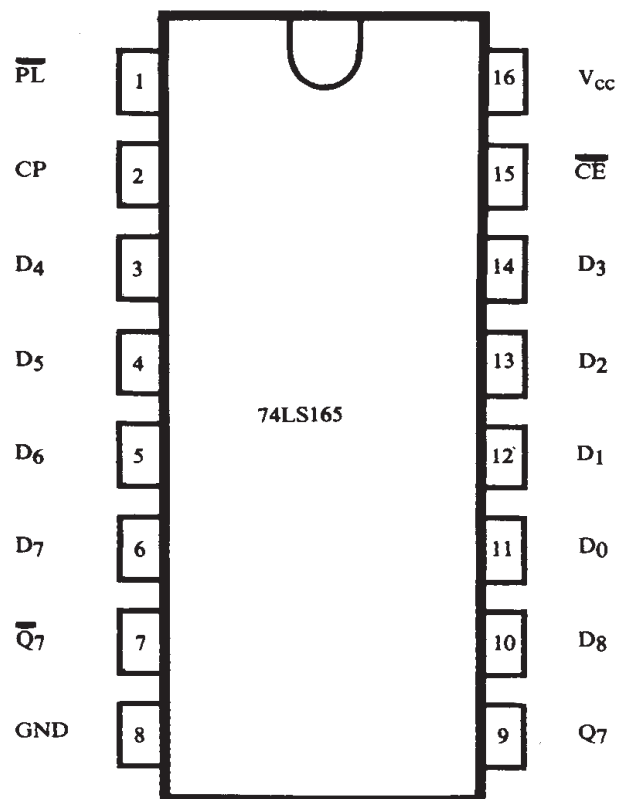


Figure 52
Boîtier des 74LS165

	\overline{PL}	\overline{CE}	CP	D_s	D_0-D_7	Q_0	Q_1-Q_0	Q_7	$\overline{Q_7}$
	L L	X X	X X	X X	L H	L H	L-L H-H	L H	H L
	H H	L L	I I	I h	X X	L H	q_0-q_5 q_0-q_5	q_8 q_8	q_8 q_8
	H	H	X	X	X	q_0	q_1-q_8	q_7	q_7

Figure 53
Modes de fonctionnement

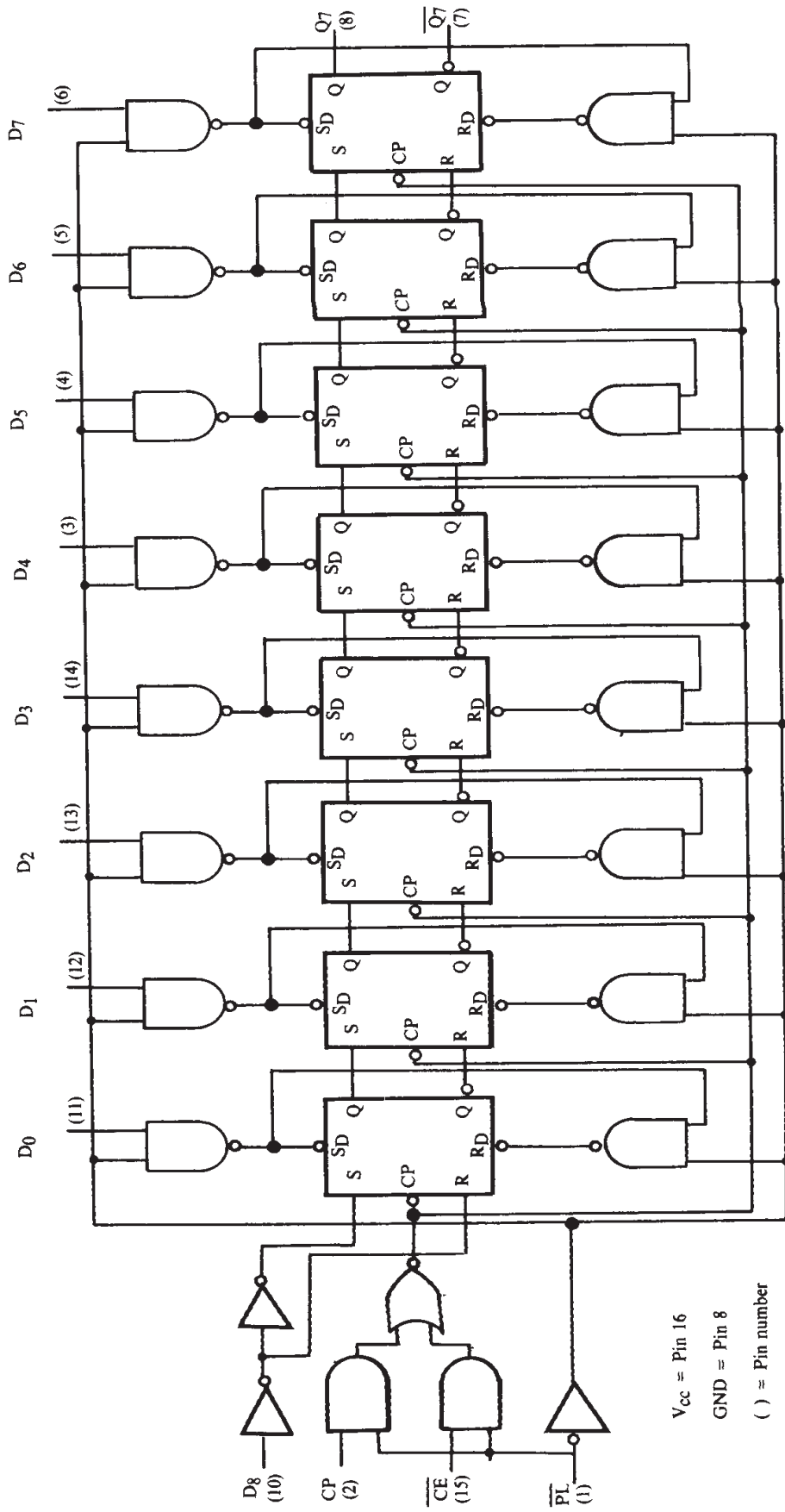


Figure 54
Diagramme logique

74LS173

quadruple bascule D à sortie 3 états

Description

Le '173 est un registre 4 bits à chargement parallèle avec contrôle d'horloge, sorties bufferisées à 3 états et reset principal. Lorsque les deux entrées de validation d'horloge ($\overline{E1}$ et $\overline{E2}$) sont BASSES, les informations présentes sur les entrées D sont chargées dans les registres en synchronisme avec le **front montant** de l'impulsion d'horloge CP.

Le reset MR est actif au niveau HAUT et remet à \emptyset toutes les sorties des bascules indépendamment de toute autre condition.

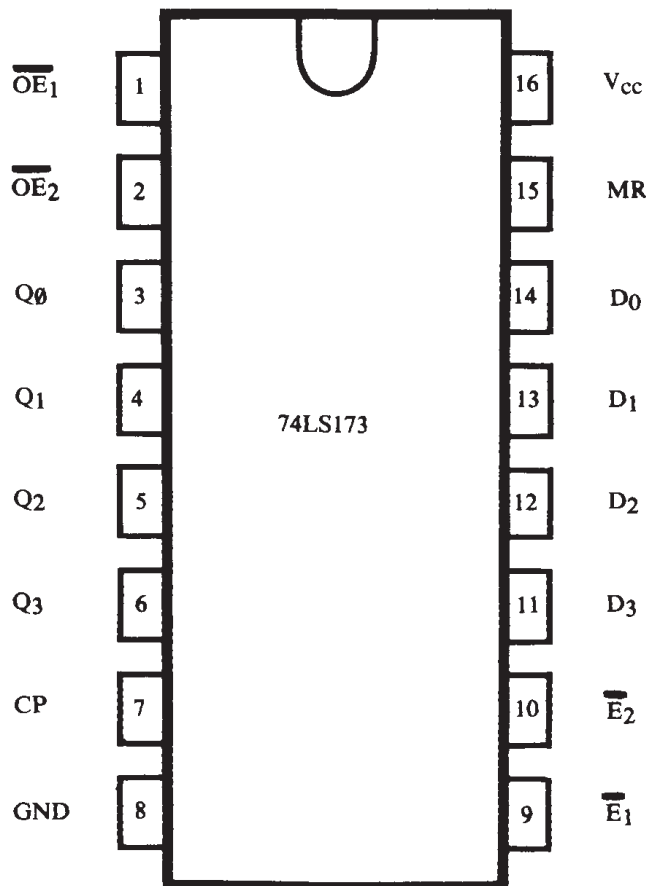
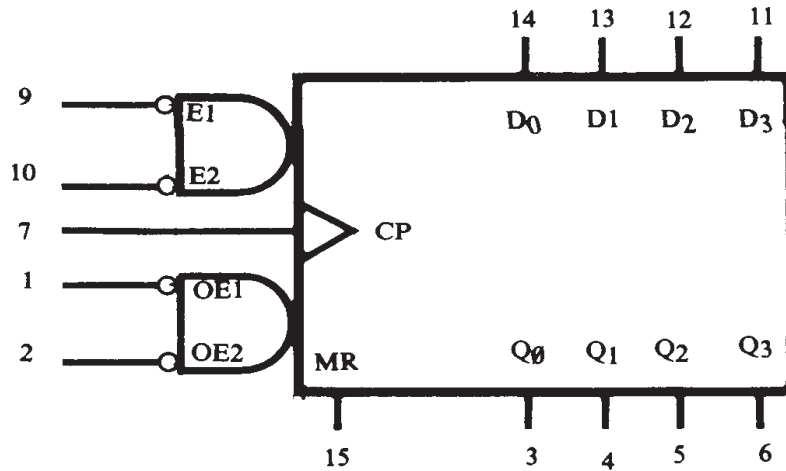


Figure 55
Boîtier du 74LS173

Les deux entrées d'une porte NOR ($\overline{OE1}$ et $\overline{OE2}$) autorisent la présence des informations en sorties, si elles sont toutes les deux au niveau BAS. Si l'une des deux au moins est au niveau HAUT, alors les sorties sont mises en état haute impédance.



$V_{CC} = \text{Pin } 16$

$GND = \text{Pin } 8$

Figure 56
Symbolisation logique

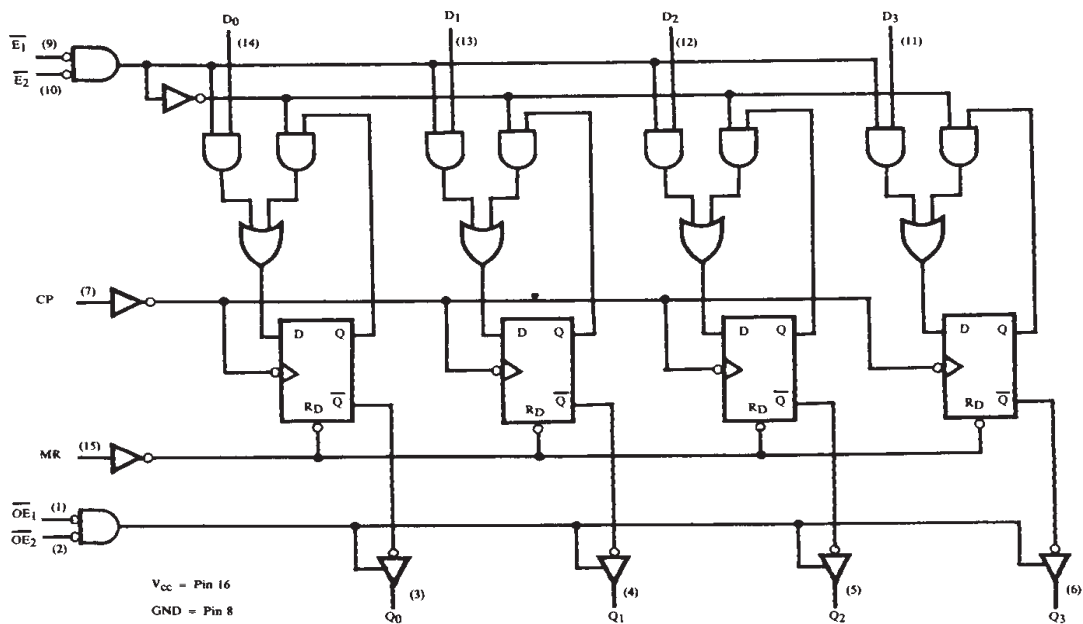


Figure 57
Diagramme logique

74LS221

double multivibrateur monostable

Description

Le '221 est un double multivibrateur monostable aux caractéristiques quasiment identiques au 74121. Chaque multivibrateur possède une entrée active sur **front montant B** et une entrée active sur **front descendant \bar{A}** , chacune d'entre elles pouvant être utilisée comme une entrée de validation.

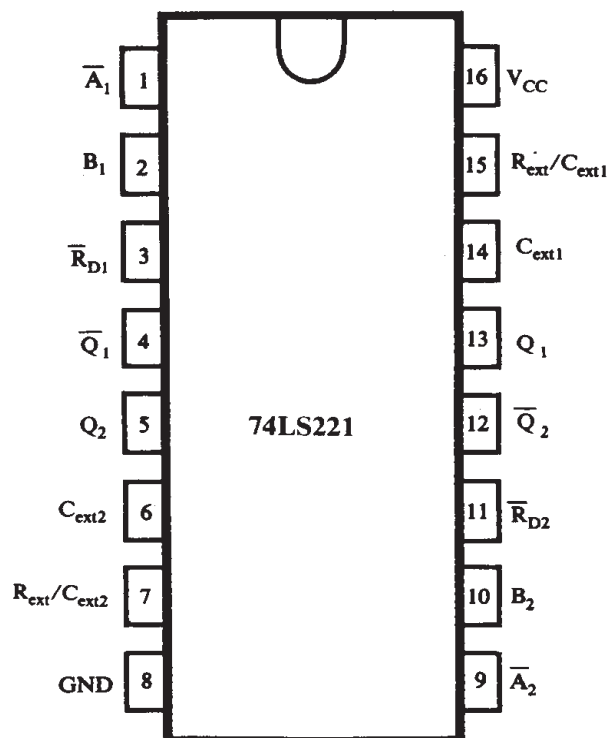


Figure 58
Boîtier du 74LS221

Table de fonctionnement

ENTRÉES			SORTIES	
\bar{R}_D	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑		
H	↓	H		
↑	L	H		

74LS245

octuple circuit d'interface bidirectionnel sorties 3 états

Description

Le '245 est un octuple circuit transmetteur à 8 sorties bidirectionnelles, non inverseuses, 3 états. Toutes les sorties peuvent absorber jusqu'à 15 mA. Le circuit contient une entrée de "chip enable" (\overline{CE}) ainsi qu'une entrée de sens de transfert des DATA (S/\overline{R}).

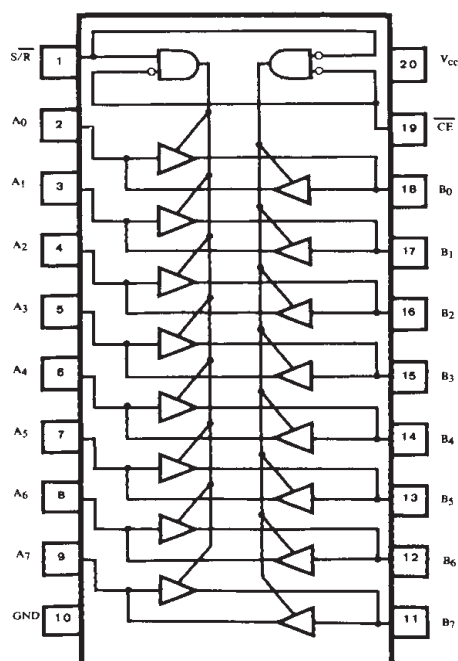


Figure 59
Boîtier du 74LS245

Table de fonctionnement

ENTRÉES		ENTRÉES/SORTIES	
\overline{CE}	S/\overline{R}	A_a	B_b
L	L	$A = B$	ENTRÉE
L	H	ENTRÉE	$B = A$
H	X	(Z)	(Z)

La mémoire vive

TMS 4416 NL

RAM dynamique 16 384 × 4 bits

Description

La TMS 4416 est une mémoire vive dynamique de 65 536 bits organisée en 16 384 mots de 4 bits. Le temps d'accès en mode $\overline{\text{RAS}}$ est au maximum de 150 ns. La dissipation de puissance est de 125 mW en fonctionnement et de 17,5 mW en mode "standby".

La période de rafraîchissement est de 4 ms, et durant cette période chacune des 256 rangées doit recevoir l'impulsion $\overline{\text{RAS}}$ afin de maintenir l'information. L'entrée $\overline{\text{CAS}}$ peut rester haute pendant cette séquence de rafraîchissement.

Toutes les entrées et les sorties, y compris l'horloge, sont compatibles avec la série TTL. Les entrées DATA et les lignes d'adresses sont lachées dans le circuit. Au contraire les sorties DATA ne le sont pas ceci pour augmenter la flexibilité du système.

NOMENCLATURE des PATTES	
A0-A7	ENTRÉE D'ADRESSES
$\overline{\text{CAS}}$	Sélection des adresses/colonnes
DQ1-DQ4	Entrées/Sorties des informations
$\overline{\text{G}}$	Validation des SORTIES
$\overline{\text{RAS}}$	Sélection des adresses lignes
$\overline{\text{W}}$	Validation d'écriture
VDD	Alimentation +5 VCC
VSS	Masse

Nomenclature des pattes

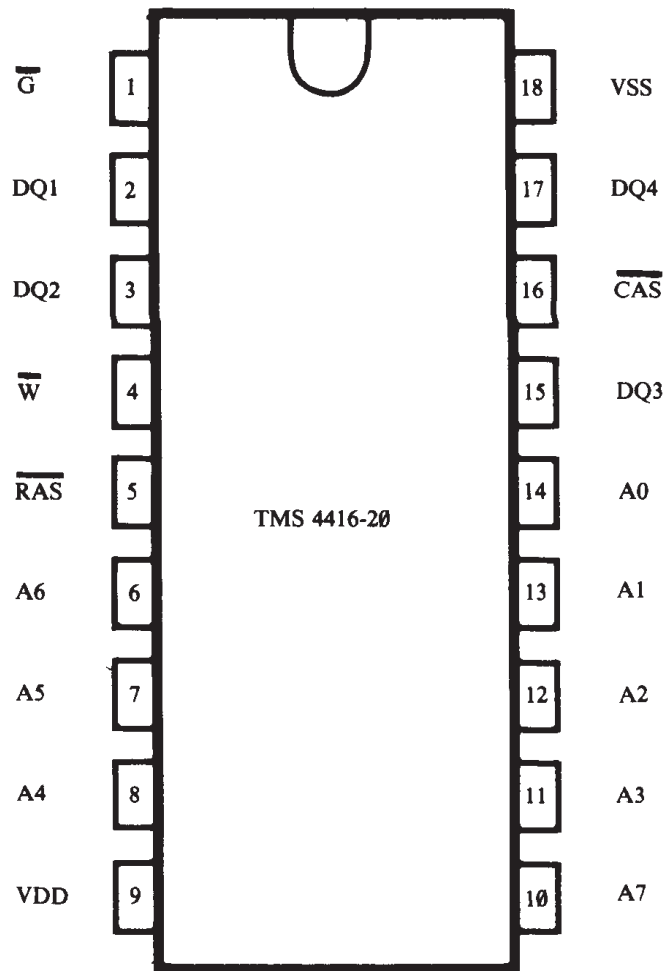


Figure 60
Boîtier du TMS 4416

Fonctionnement

Adresses

Quatorze bits d'adresses sont nécessaires pour décoder les 16 384 cases de rangement. Les 8 bits d'adresses des rangées sont positionnés sur les entrées A0 à A7, puis latchés dans le circuit par l'impulsion $\overline{\text{RAS}}$ (Row Address Strobe). Les 6 bits d'adressage des colonnes sont positionnés sur les entrées A1 à A6, puis latchés dans le circuit par l'impulsion $\overline{\text{CAS}}$. Toutes les adresses doivent être stables pendant ou avant les fronts descendants des impulsions $\overline{\text{RAS}}$ et $\overline{\text{CAS}}$. L'impulsion $\overline{\text{RAS}}$ est équivalente à un "chip enable" qui valide les amplificateurs d'entrée et le décodeur d'adressage des rangées. L'impulsion $\overline{\text{CAS}}$ est utilisée comme un "chip select" qui active le décodeur de colonne ainsi que les "buffers" des entrées et des sorties.

La mémoire vive

TMS 4416 NL RAM dynamique 16 384 × 4 bits

Description

La TMS 4416 est une mémoire vive dynamique de 65 536 bits organisée en 16 384 mots de 4 bits. Le temps d'accès en mode $\overline{\text{RAS}}$ est au maximum de 150 ns. La dissipation de puissance est de 125 mW en fonctionnement et de 17,5 mW en mode "standby".

La période de rafraîchissement est de 4 ms, et durant cette période chacune des 256 rangées doit recevoir l'impulsion $\overline{\text{RAS}}$ afin de maintenir l'information. L'entrée $\overline{\text{CAS}}$ peut rester haute pendant cette séquence de rafraîchissement.

Toutes les entrées et les sorties, y compris l'horloge, sont compatibles avec la série TTL. Les entrées DATA et les lignes d'adresses sont latchées dans le circuit. Au contraire les sorties DATA ne le sont pas ceci pour augmenter la flexibilité du système.

NOMENCLATURE des PATTES	
A0-A7	ENTRÉE D'ADRESSES
$\overline{\text{CAS}}$	Sélection des adresses/colonnes
DQ1-DQ4	Entrées/Sorties des informations
$\overline{\text{G}}$	Validation des SORTIES
$\overline{\text{RAS}}$	Sélection des adresses lignes
$\overline{\text{W}}$	Validation d'écriture
VDD	Alimentation + 5 VCC
VSS	Masse

Nomenclature des pattes

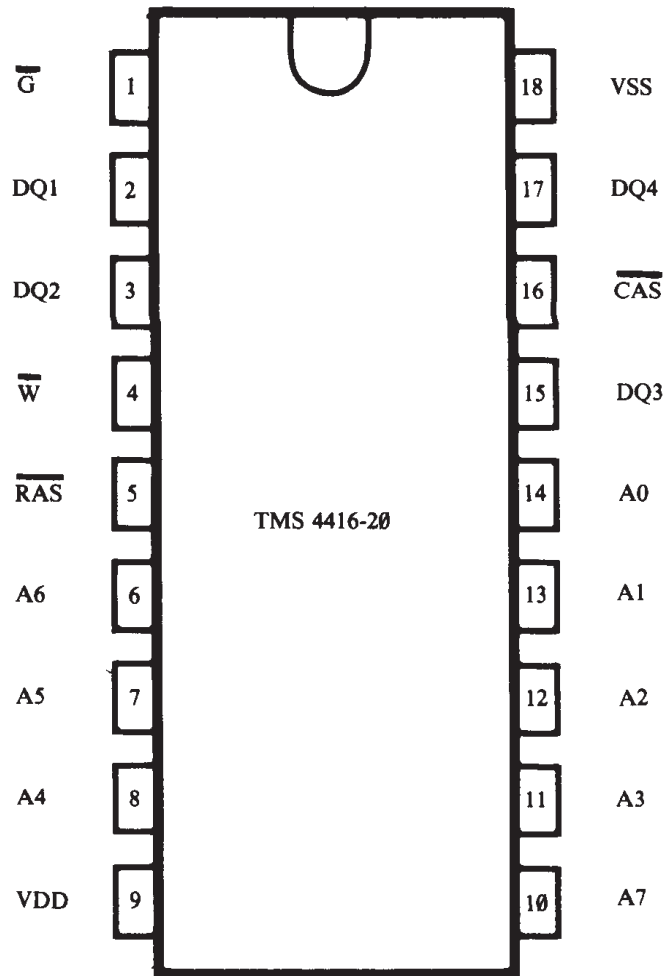


Figure 60
Boîtier du TMS 4416

Fonctionnement

Adresses

Quatorze bits d'adresses sont nécessaires pour décoder les 16 384 cases de rangement. Les 8 bits d'adresses des rangées sont positionnés sur les entrées A0 à A7, puis latched dans le circuit par l'impulsion $\overline{\text{RAS}}$ (Row Address Strobe). Les 6 bits d'adressage des colonnes sont positionnés sur les entrées A1 à A6, puis latched dans le circuit par l'impulsion $\overline{\text{CAS}}$. Toutes les adresses doivent être stables pendant ou avant les fronts descendants des impulsions $\overline{\text{RAS}}$ et $\overline{\text{CAS}}$. L'impulsion $\overline{\text{RAS}}$ est équivalente à un "chip enable" qui valide les amplificateurs d'entrée et le décodeur d'adressage des rangées. L'impulsion $\overline{\text{CAS}}$ est utilisée comme un "chip select" qui active le décodeur de colonne ainsi que les "buffers" des entrées et des sorties.

WRITE ENABLE (W).

La sélection du mode LECTURE/ÉCRITURE se fait par l'entrée \overline{W} . Un niveau haut sur cette entrée sélectionne le mode LECTURE et un niveau bas le mode ÉCRITURE. Les entrées DATA sont désélectionnées quand le mode LECTURE est choisi.

Validation des sorties (G).

L'entrée \overline{G} contrôle l'impédance des buffers de sortie. Si cette entrée est haute, les buffers sont maintenus à l'état haute impédance. Porter \overline{G} à l'état bas pendant un cycle normal revient à activer les buffers de sortie qui se mettent alors à l'état basse impédance. Il est nécessaire que les deux impulsions \overline{RAS} et \overline{CAS} soient basses pour que les buffers de sortie passent à l'état basse impédance, ils y restent jusqu'à ce que \overline{G} ou \overline{CAS} repassent à l'état haut.

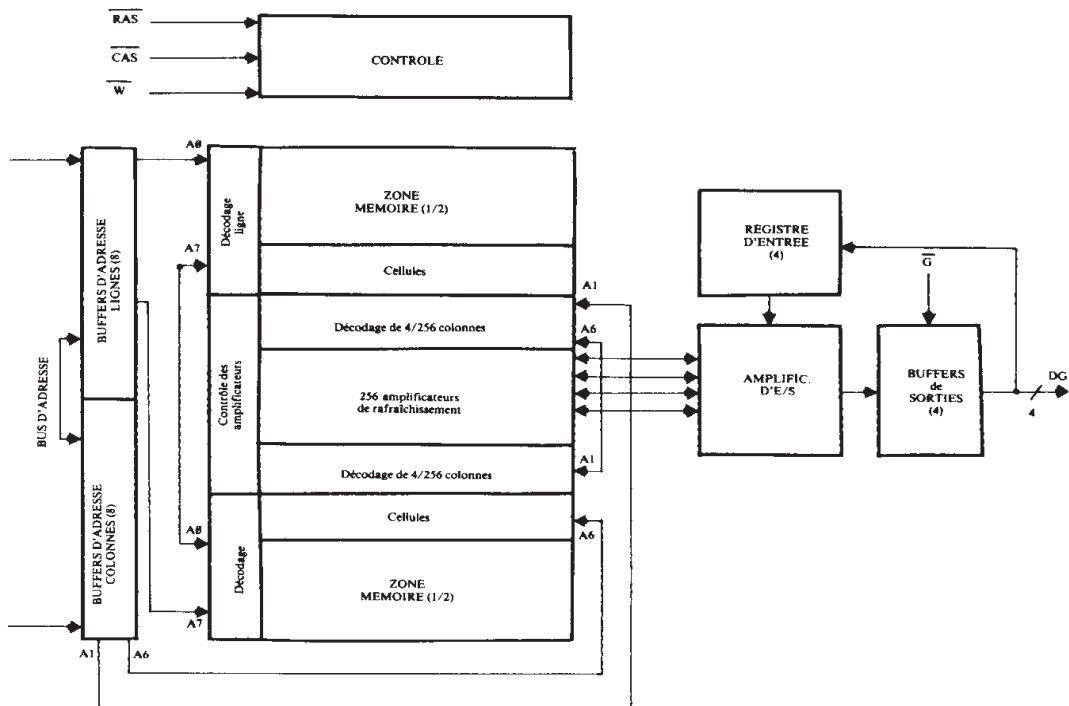


Figure 61
Diagramme fonctionnel

Entrées DATA (DQ1 à DQ4).

Les informations peuvent être écrites pendant un cycle d'écriture ou pendant un cycle de lecture/écriture de correction. Suivant le type d'opération choisi, c'est le front descendant de l'impulsion $\overline{\text{CAS}}$ ou de l'impulsion $\overline{\text{W}}$ qui validera l'entrée des DATA dans les "latches".

Dans un cycle d'écriture rapide le signal $\overline{\text{W}}$ sera mis à l'état bas avant $\overline{\text{CAS}}$ et les informations DATA seront chargées par le front descendant de $\overline{\text{CAS}}$ en respectant les timings correspondants.

Dans un cycle d'écriture long ou de lecture/écriture de correction, $\overline{\text{CAS}}$ sera mis à l'état bas le premier et les DATA seront chargées par le front descendant de $\overline{\text{W}}$. Dans ce type de fonctionnement, l'entrée $\overline{\text{G}}$ doit être mise à l'état haut avant que $\overline{\text{W}}$ ne valide l'écriture, et ce, afin de porter les buffers de sortie à l'état haute impédance.

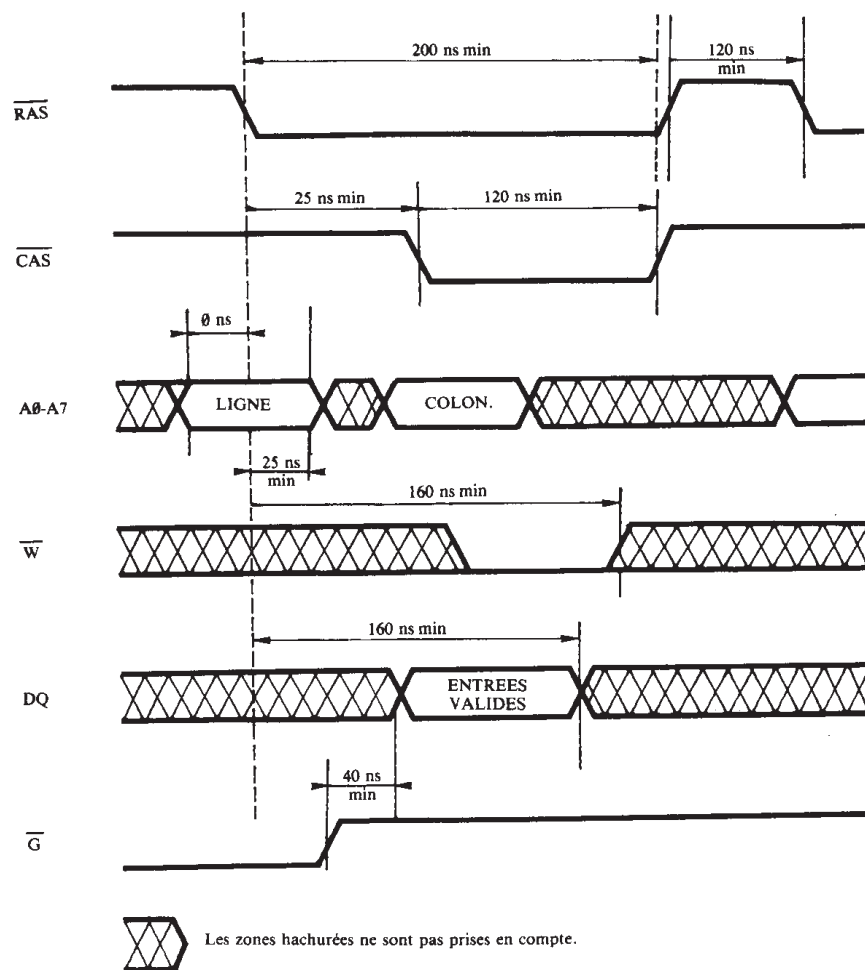


Figure 62
Timing du mode ECRITURE

Sorties DATA (DQ1 à DQ4)

Les sorties DATA ont la même polarité que les entrées. Les sorties restent à l'état haute impédance jusqu'à ce que le signal $\overline{\text{CAS}}$ passe à l'état bas. Au cours d'un cycle d'écriture, les sorties seront actives après un intervalle de temps d'accès $t_a(\text{C})$ commençant avec le front descendant de $\overline{\text{CAS}}$ à condition que les temps d'accès $t_a(\text{E})$ et $t_a(\text{G})$ soient respectés. Les sorties restent valides tant que $\overline{\text{CAS}}$ ou $\overline{\text{G}}$ sont bas. Si l'un de ces deux signaux repasse à l'état haut, les sorties sont remises en haute impédance.

Dans un cycle d'écriture rapide, les sorties sont toujours à l'état haute impédance.

Dans un cycle d'écriture long ou de lecture/écriture de correction, les sorties doivent être mises à l'état haute impédance avant d'envoyer les informations DATA sur les lignes d'entrées. On obtient ce résultat en portant $\overline{\text{G}}$ à l'état haut avant d'envoyer les informations et en respectant l'intervalle de temps t_{GHD} .

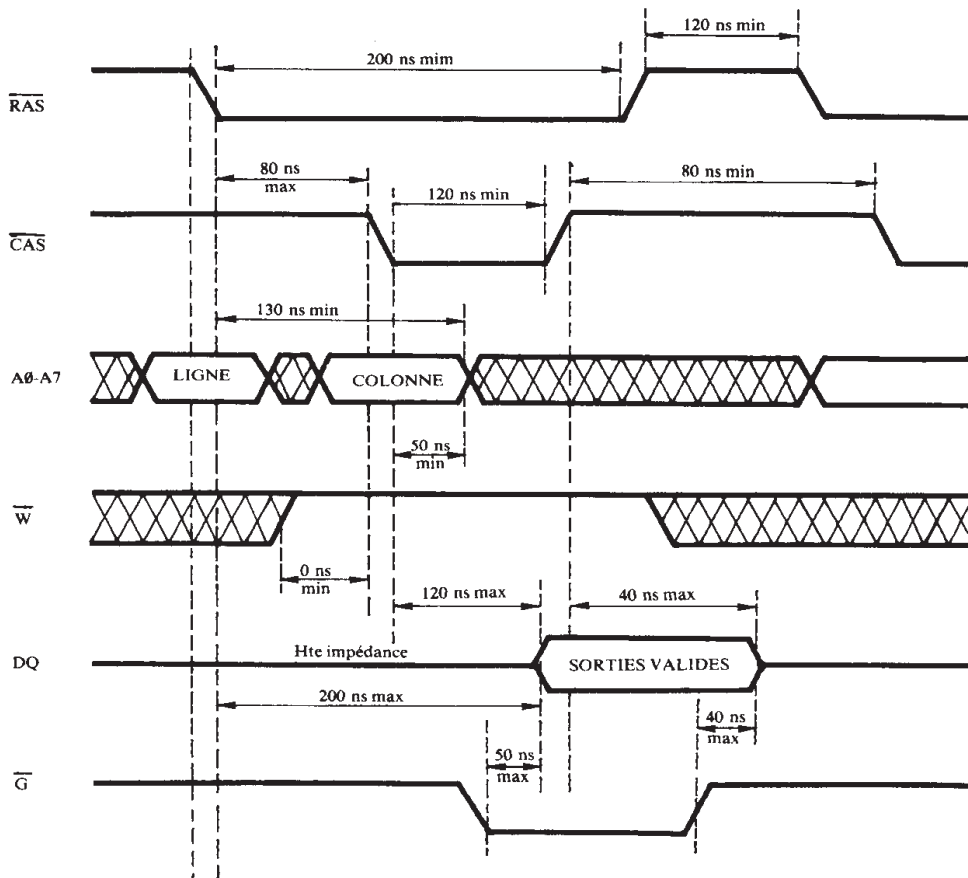


Figure 63
Timing du mode LECTURE

Rafrâichissement

Une opération de rafraîchissement doit être réalisée au moins toutes les 4 ms pour retenir les informations en mémoire. Le rafraîchissement se fait par chargement des 256 adresses des rangées avec le signal $\overline{\text{RAS}}$. $\overline{\text{CAS}}$ peut rester haut pendant cette séquence pour maintenir la puissance.

Mode page

Ce mode de fonctionnement permet un accès plus rapide à la mémoire en conservant la même adresse de rangée et en chargeant successivement les adresses des colonnes.

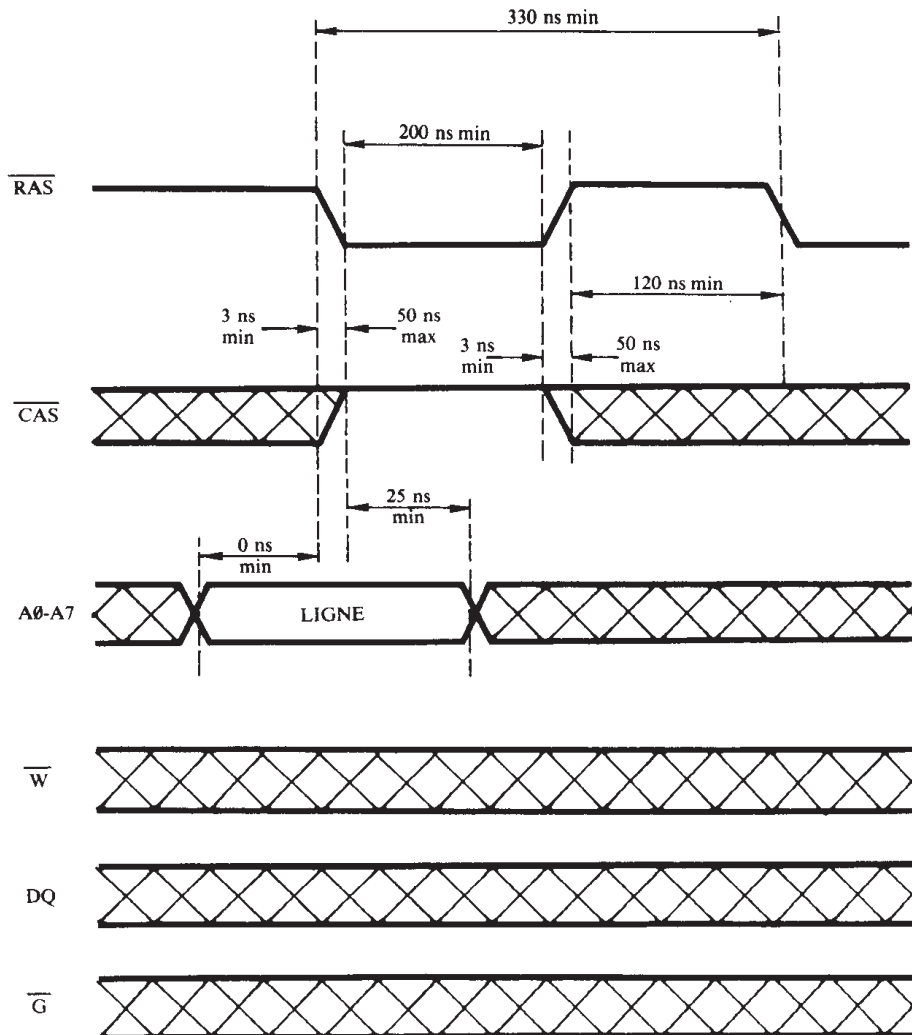


Figure 64
Timing du mode rafraîchissement

La mémoire reprogrammable

27128 REPROM 128K (16K × 8)

Description

La 27128 est une mémoire programmable électriquement, à lecture seule, effaçable aux ultraviolets. Sa capacité est de 131 072 bits organisés en 16k octets. Elle ne nécessite qu'une alimentation de 5 volts. Le temps d'accès standard est de 250 ns. Elle possède également un mode "standby" qui réduit sa consommation de puissance sans augmenter son temps d'accès. En mode normal, elle consomme au maximum 100 mA alors qu'en "standby" elle ne consomme que 40 mA.

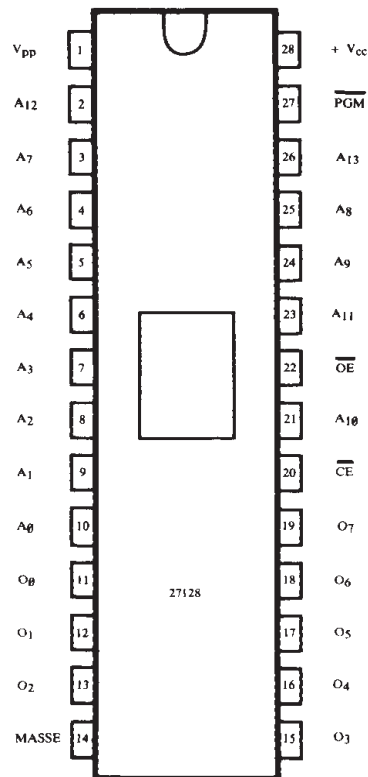


Figure 65
Boîtier de la 27128

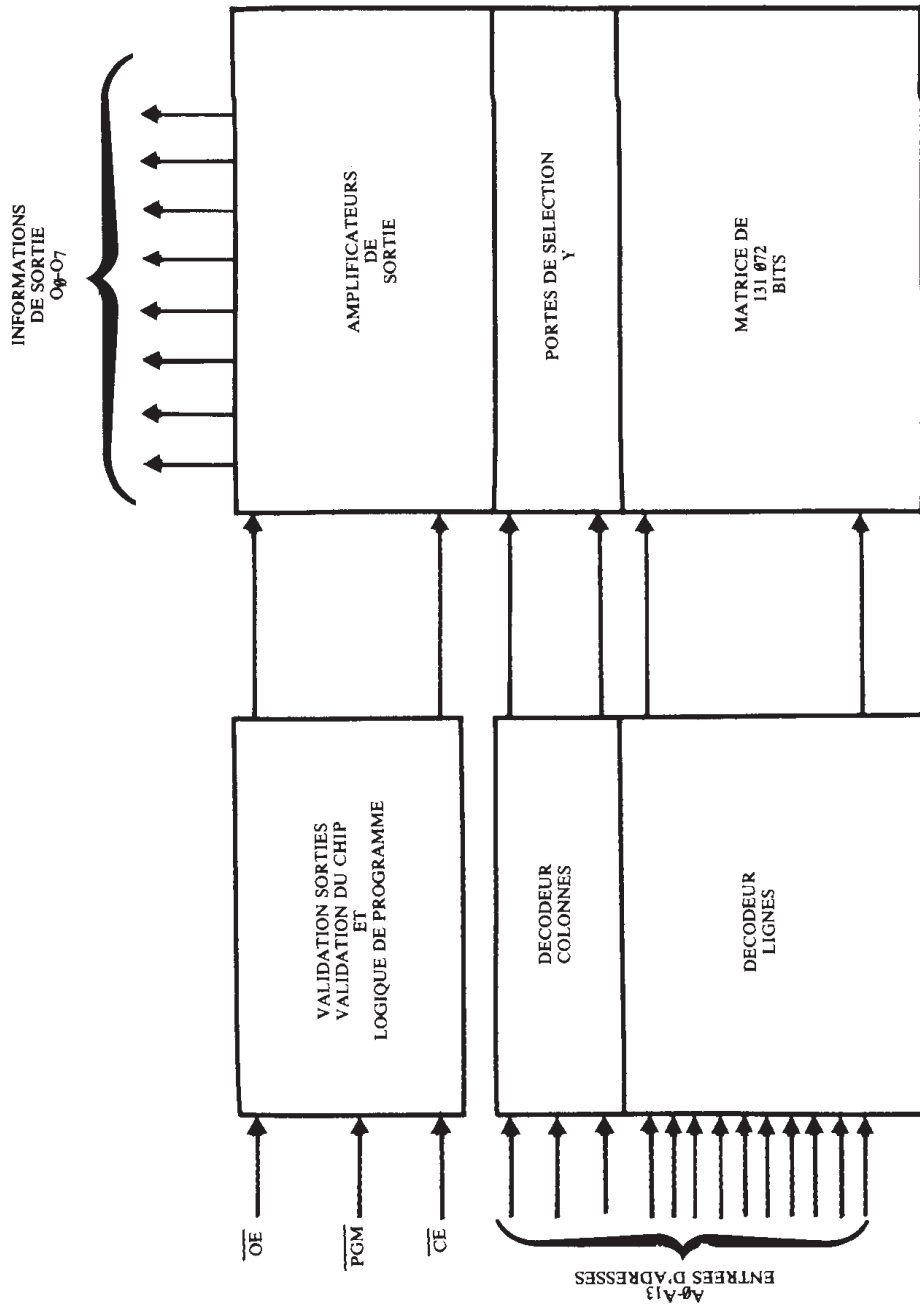


Figure 66
Diagramme logique

La mémoire morte

HM 7603

PROM 32 × 8 à sorties 3 états

Description

La HM 7603 est une mémoire programmable à fusibles chrome-nickel. De technologie schottky TTL, elle garantit un temps d'accès maximum de 60 ns.

Elle est organisée en 32 mots de 8 bits avec sortie 3 états. Les sorties sont mises à l'état haute impédance en portant la patte \overline{CE} à 1.

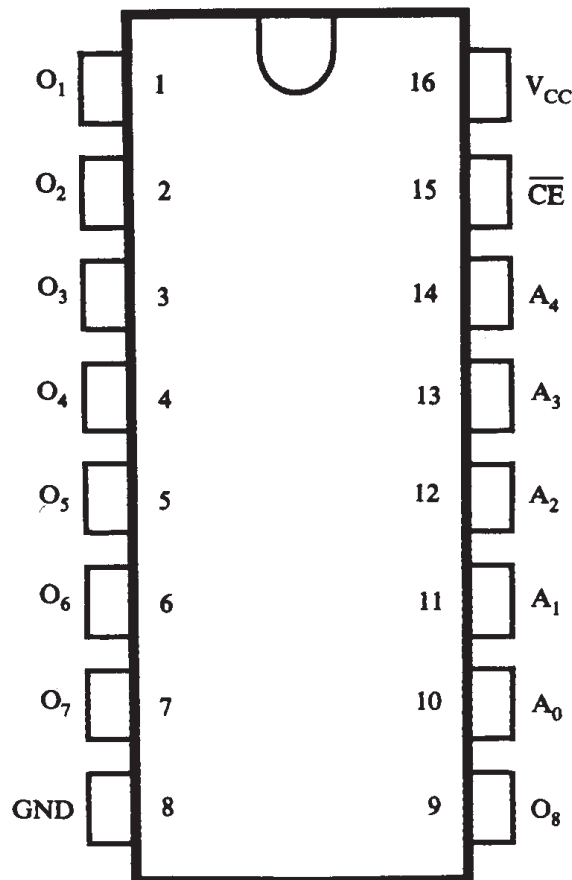


Figure 67
Boîtier de la HM 7603

D'origine, tous les fusibles sont intacts et fournissent donc un "1" logique, et peuvent être programmés sélectivement pour fournir un "0".

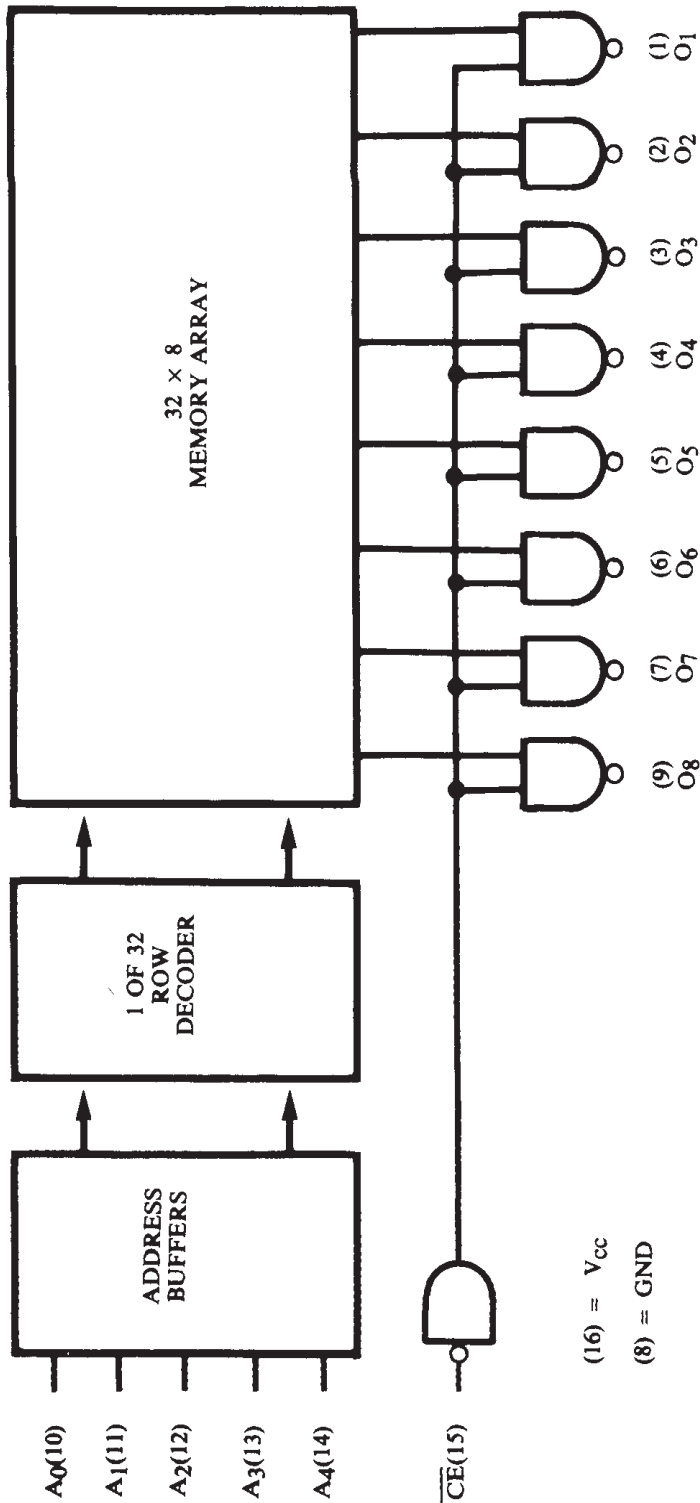


Figure 68
Diagramme fonctionnel

Le microprocesseur

6809E

Microprocesseur 8 bits, le 6809E a en fait une structure interne 16 bits puisque tous ses registres sont des registres 16 bits (X, Y, U, S et PC) ou 8 bits concaténables (A et B peuvent devenir $D = A + B$).

Seuls le registre d'état CCR et le registre de page directe DP ont une structure 8 bits.

Microprocesseur monotension (+5 V), il nécessite deux signaux d'horloge E et Q en quadrature de phase. Les adresses sont validées sur le front montant de Q et les données mémorisées sur le front descendant de E.

A la mise sous tension, ou lors d'une réinitialisation manuelle par mise à 0 de l'entrée RESET, le compteur programme est chargé avec l'adresse contenue en \$FFFE, \$FFFF. Tous les registres sont initialisés et en particulier le registre de page directe DP, utilisé en mode d'adressage direct, est mis à zéro pour comptabilité avec la page 0 du 6800.

Outre les deux accumulateurs A et B utilisés pour les calculs et les manipulations des données et concaténables en un accumulateur D de 16 bits, le 6809E possède 4 registres 16 bits, X, Y, U et S pouvant servir de registres d'index ou de pointeurs de pile.

X et Y sont plutôt destinés à servir d'index alors que U et S sont là pour servir de pointeurs à la pile utilisateur (rôle de U) et à la pile système (rôle de S). Toutefois rien n'empêche de permuter ces différents rôles :

- Le mode indexé permet en effet d'utiliser comme registre d'index aussi bien X et Y que U et S.
- Dans certains cas, le compteur programme peut également servir de registre d'index.

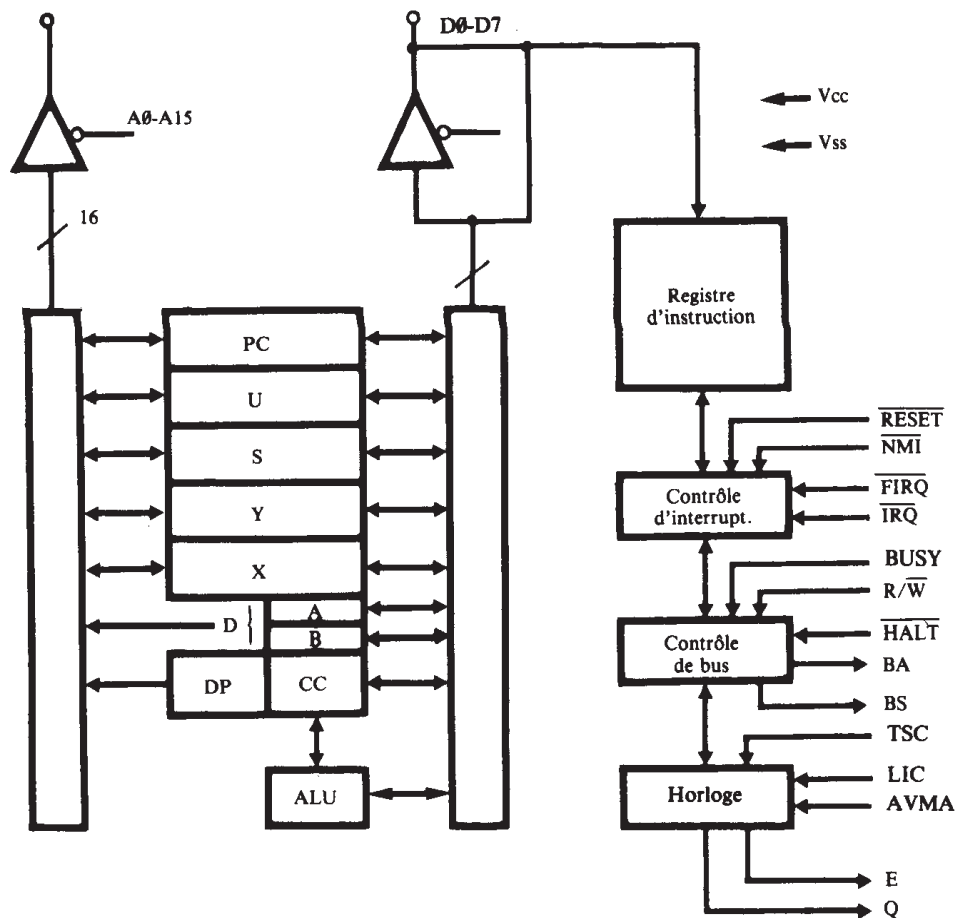


Figure 69
Schéma fonctionnel du 6809E

Les instructions TFR et EXG permettent le transfert d'un registre (ou d'un accumulateur) dans un autre, ou l'échange de deux registres (ou de deux accumulateurs).

Description du Registre Codes Condition

Ce registre 8 bits contient des indicateurs de résultats ou des masques d'interruption :

- Le BIT 0 (C) indique s'il est à "1" qu'une retenue a eu lieu lors de la dernière opération effectuée.
- Le BIT 1 (V) indique s'il est à "1", qu'il y a eu débordement, c'est-à-dire que la retenue du MSB n'est pas la même que celle du MSB-1.
- Le BIT 3 (N) indique un résultat négatif. En complément à deux, N sera donc mis à "1".
- Le BIT 4 (I) masque les interruptions IRQ.

-
- Le BIT 5 (H) est le bit de demi-retenu. Il est utilisé dans l'opération d'ajustement décimal.
 - Le BIT 6 (F) masque les interruptions FIRQ.
 - Le BIT 7 (E) indique s'il est à "1", que l'état complet de la machine a été empilé sur la pile système S.

Les modes d'adressage

Adressage inhérent :

Dans ce mode d'adressage, il n'y a aucun échange avec l'extérieur du 6809E. Exemple : EXG A,B qui échange les contenus de A et B.

Adressage immédiat :

Dans ce mode d'adressage, la valeur à traiter suit immédiatement le code opération. Exemple : LDB # 2 qui met la valeur 2 (%00000010) dans l'accumulateur B.

Adressage étendu :

Dans ce mode d'adressage, la donnée à traiter se trouve à l'adresse qui suit le code instruction. Exemple : LDX \$E80C chargera X avec la donnée 16 bits rangée en E80C (MSB) et E80D (LSB).

Adressage direct :

Dans ce mode d'adressage, la donnée à traiter correspond à l'adresse dont les 8 bits LSB suivent le code instruction, les 8 bits MSB étant dans le registre de page directe DP. Exemple : STB \$0A rangera le contenu de B en 400A si DP contient \$40.

Adressage étendu indirect :

Dans ce mode d'adressage, la donnée a pour adresse celle qui se trouve rangée à l'adresse qui suit le code instruction.

Adressage relatif court :

Dans ce mode d'adressage, on ajoute au compteur programme (qui pointe déjà l'instruction suivante) la valeur qui suit l'instruction de branchement. Cette valeur doit être comprise entre 00 et FF, ce qui ne permet donc des branchements que de + 127 en avant ou de - 128 en arrière.

Adressage relatif long :

Dans ce mode d'adressage, comme dans le précédent, on ajoute au compteur programme la valeur qui suit les codes d'instructions. On peut dans ce cas se brancher dans toute la zone des 64 K mémoire.

Adressage indexé :

Dans ce mode d'adressage, l'un des registres sert d'index pour le calcul de l'adresse exacte de la donnée.

Adressage indexé indirect :

Dans ce mode d'adressage indexé, l'adresse obtenue ne contient pas la donnée, mais l'adresse de la donnée.

Les interruptions

FFFE	FFFF	$\overline{\text{RESET}}$
FFFC	FFFD	$\overline{\text{NMI}}$
FFFA	FFFB	$\overline{\text{SWI}}$
FFF8	FFF9	$\overline{\text{IRQ}}$
FFF6	FFF7	$\overline{\text{FIRQ}}$
FFF4	FFF5	$\overline{\text{SWI2}}$
FFF2	FFF3	$\overline{\text{SWI3}}$
FFF0	FFF1	RESERVE

Pointeurs d'interruption

Les interruptions accessibles par l'utilisateur du MO 5, car présentes sur le connecteur d'extension, sont les suivantes :

$\overline{\text{RESET}}$: un niveau bas sur cette entrée pendant un temps supérieur à 1 μs provoque la réinitialisation du système, ce qui est équivalent à une action manuelle sur le bouton "INITIALISATION PROGRAMME" du MO 5.

$\overline{\text{FIRQ}}$: un niveau bas sur cette entrée provoque une séquence d'interruption rapide (prioritaire par rapport à IRQ) car il n'y a sauvegarde sur la pile que du contenu du registre de codes condition et du compteur programme.

Cette demande d'interruption n'est prise en compte que si le bit 6 (F) du CCR est à zéro.

$\overline{\text{IRQ}}$: un niveau bas sur cette entrée provoque une séquence d'interruption avec sauvegarde sur la pile système de l'état complet du 6809.

Cette demande n'est prise en compte que si le bit 4 (I) du CCR est à zéro.

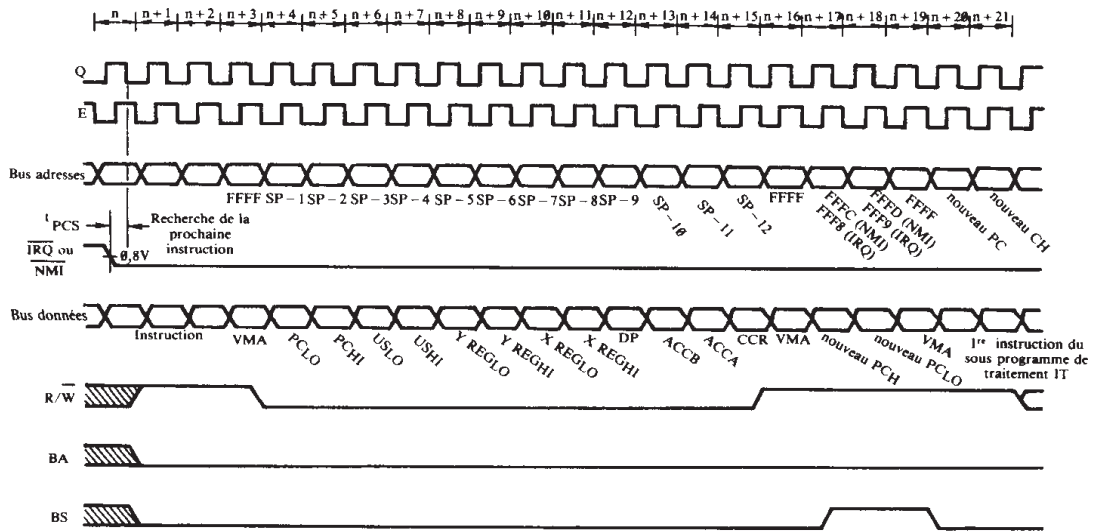


Figure 70
Diagramme des temps des interruptions $\overline{\text{NMI}}$ et $\overline{\text{IRQ}}$

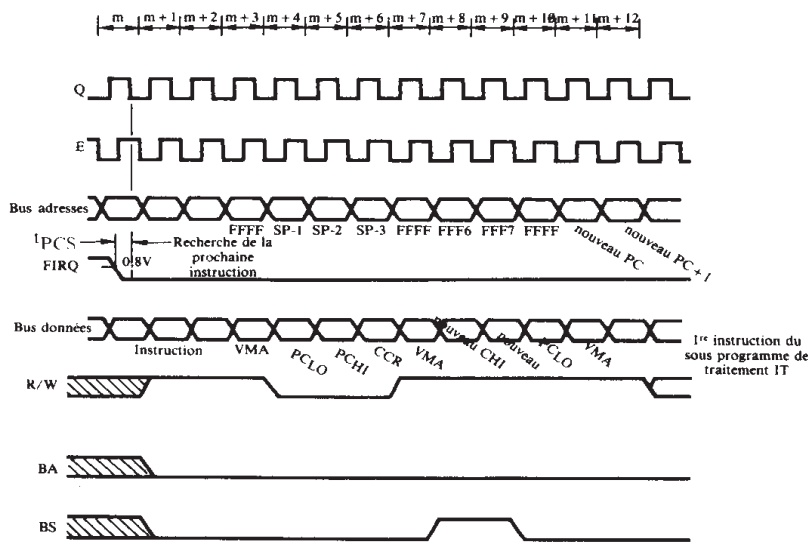


Diagramme des interruptions $\overline{\text{FIRQ}}$

Le PIA

6821

Ce circuit permet l'interfaçage entre le 6809 et les périphériques, par l'intermédiaire de deux ports parallèles de 8 bits programmables en entrées ou en sorties, et quatre lignes de contrôle utilisables individuellement pour gérer les interruptions, ou comme E/S supplémentaires pour deux d'entr'elles.

Le contrôle du PIA se fait par l'intermédiaire de 6 registres, auxquels on accède par deux bits de sélection RS0 et RS1, plus le bit 2 des registres de contrôle.

Ces six registres sont les suivants :

- ORA (et ORB), registre de sortie du PORTA (et du PORTB).
- DDRA (et DDRB), registre de sens du transfert des données du PORTA (et du PORTB).
- CRA (et CRB), registre de contrôle A (et B).

Les registres ORA et DDRA sont sélectionnés par le même code RS1, RS0 = 00. Le choix de l'un ou de l'autre est fait suivant la valeur du bit 2 du registre CRA.

RS1	RS0	Bit du registre de contrôle		Registre sélectionné
		CRA-2	CRB-2	
0	0	1	X	Registre données de la périphérie A
0	0	0	X	Registre sens de transfert des données A
0	1	X	X	Registre de contrôle
1	0	X	1	Registre données de la périphérie B
1	0	X	0	Registre sens de transfert des données B
1	1	X	X	Registre de contrôle

Figure 71

Tableau d'adressage du 6821

Il en est de même pour ORB et DDRB différenciés par le CRB2. L'adressage de ces registres peut être fait en mode :

- 8 bits si RS0 = A0 et RS1 = A1
- ou 16 bits si RS0 = A1 et RS1 = A0

En effet dans ce dernier cas, les registres ORA et ORB sont situés à deux adresses contiguës, donc adressables par une donnée 16 bits.

La sélection du PIA se fait par trois bits CS0, CS1, CS2.

Lorsque le PIA est sélectionné, le transfert des données se fait sous le contrôle de l'impulsion d'horloge E et de la ligne de lecture/écriture (R/W).

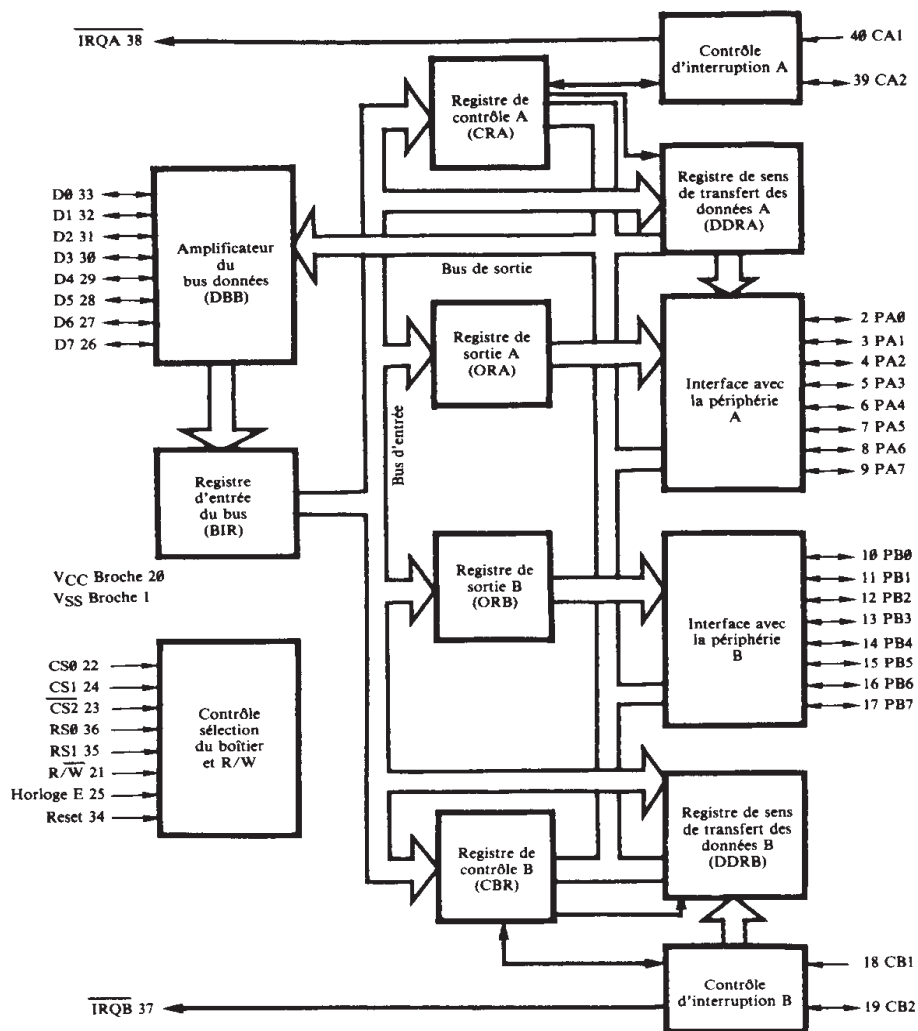


Figure 72
Diagramme fonctionnel du PIA 6821

Les deux lignes de sortie IRQA et IRQB, actives au niveau 0, sont à “drain ouvert”, ce qui permet le “OU câblé”. Elles sont gérées par le registre de contrôle.

	7	6	5	4	3	2	1	0
CRA	IRQA1	IRQA2	Contrôle de CA2			Accès à DDRA	Contrôle de CA1	
CRB	IRQB1	IRQB2	Contrôle de CB2			Accès à DDRB	Contrôle de CB1	

Figure 73

Format des mats de contrôle

Les bits 0 à 5 de ce registre peuvent être écrits ou lus par le 6809.

Les bits 6 et 7 ne peuvent seulement être que lus par le 6809 et sont modifiés par les entrées externes CA1 et CA2 (ou CB1 et CB2).

a) Les deux premiers bits CRA0 et CRA1 permettent la gestion de l'entrée CA1 :

- Si CRA0 = 0 → IRQA est inhibée et bloquée à l'état haut.
- Si CRA0 = 1 → IRQA passe à l'état bas quand l'indicateur CRA7 passe à l'état haut.
- Si CRA1 = 0 → l'indicateur d'interruption CRA7 passe à l'état haut sur le front descendant de CA1.
- Si CRA1 = 1 → l'indicateur d'interruption CRA7 passe à l'état haut sur front montant de CA1.

b) Le bit CRA2 permet d'accéder :

- au registre DDRA si CRA2 = 0
- au registre ORA si CRA2 = 1

c) Les 3 bits CRA3, CRA4, CRA5 permettent la gestion de la ligne CA2 :

- Si CRA5 = 0 → CA2 est programmée en **entrée d'interruption** et alors les bits CRA3 et CRA4 fonctionnent vis-à-vis de cette entrée et de l'indicateur CRA6 comme précédemment CRA0 et CRA1 le faisaient vis-à-vis de CA1 et CRA7.

CRA-1 (CRB-1)	CRA-θ (CRB-θ)		Indicateur d'interruption CRA-7 (CRB-7)	Demande d'interruption du MPU IRQA (IRQB)
0	0	↓Active	Mis à un sur ↓ de CA1 (CB1)	Inhibée — IRQ reste à l'état haut
0	1	↓Active	Mis à un sur ↓ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut
1	0	↑Active	Mis à un sur ↑ de CA1 (CB1)	Inhibée — IRQ reste à l'état haut
1	1	↑Active	Mis à un sur ↑ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut

Notes :

1 ↑ Transition positive

2 ↓ Transition négative

3 L'indicateur d'interruption CRA-7 (CRB-7) est mis à zéro par une lecture du registre données de la périphérie A (B) par le MPU.

4 Si CRA-θ (CRB-θ) est zéro (interruption inhibée) quand l'interruption se produit et est, par la suite, mis à un, IRQA (IRQB) passe à l'état bas après que CRA-θ (CRB-θ) soit à l'état haut.

Figure 74

Contrôle des entrées d'interruption CA1 et CB1

CRA-5 (CRB-5)	CRA-4 (CRB-4)	CRA-3 (CRB-3)	Transition active de l'entrée d'interruption CA2 (CB2)	Indicateur d'interruption CRA-6 (CRB-6)	Demande d'interruption du MPU IRQA (IRQB)
0	0	0	↓Active	Mis à un sur ↓ de CA2 (CB2)	Inhibée — IRQ reste à l'état haut
0	0	1	↓Active	Mis à un sur ↓ de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.
0	1	0	↑Active	Mis à un sur ↑ de CA2 (CB2)	Inhibée — IRQ reste à l'état haut
0	1	1	↑Active	Mis à un sur ↑ de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.

Notes :

1 ↑ Transition positive

2 ↓ Transition négative

3 L'indicateur d'interruption CRA-6 (CRB-6) est mis

Figure 75

Contrôle de CA2, CB2 comme entrée d'interruption

- Si CRA5 = 1 → CA2 est programmée comme bit de sortie supplémentaire.

ATTENTION : comme sorties, CA2 et CB2 ont des modes de fonctionnement différents.

- Si CRA4 (ou CRB4) = 1 alors CA2 = CRA3 (et CB2 = CRB3).

Dans ce mode CA2 (CB2) est une sortie que l'on met à 0 ou à 1 par mise au niveau identique de CRA3 (CRB3).

- Si CRA4 = 0 (ou CRB4) alors CA2 (CB2) est utilisée comme sortie de contrôle selon le mode "poignée de main" afin de permettre la synchronisation des échanges.

Dans ce cas, le fonctionnement est différent pour CA2 et CB2. Se reporter aux tableaux ci-joints.

Fonctionnement du registre DDRA (DDRB).

Si le bit CRA2 (CRB2) est à 0, on accède alors pour RS0, RS1 = 00 au registre DDRA, et pour RS0, RS1 = 01 au registre DDRB.

A chaque bit de ces registres est associée une ligne du PORT de même nom. Si ce bit est :

- à "1", la ligne du PORT sera une sortie
- à "0", la ligne du PORT sera une entrée.

Lors d'un reset, tous les registres étant mis à zéro, les deux PORTS A et B sont initialisés en entrées.

CRB-5	CRB-4	CRB-3	Mis à zéro	CB2	Mis à un
1	0	0	Bas sur la transition positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut quand l'indicateur d'interruption CRB-7 est mis à un par une transition active du signal CB1.	
1	0	1	Bas sur la transition positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut sur la transition positive de la première impulsion E qui suit une impulsion E qui était arrivée tandis que le circuit était désélectionné.	
1	1	0	Bas quand CRB-3 est mis à zéro par une écriture du registre de contrôle B.	Toujours bas tant que CRB-3 est à zéro. Passera à l'état haut quand CRB-3 sera mis à un par une écriture du registre de contrôle B.	
1	1	1	Toujours haut tant que CRB-3 est à un. Passera à l'état bas quand CRB-3 sera mis à zéro par une écriture du registre de contrôle B.	Haut quand CRB-3 est mis à un par une écriture du registre de contrôle B.	

Figure 76
Contrôle de CB2 comme sortie

Fonctionnement du registre ORA (ORB)

Ce registre permet d'écrire dans les PORTS de sortie et d'y mémoriser les valeurs. Une écriture de données dans ORA (ou ORB) n'affecte réellement que les bits préalablement sélectionnés comme sorties par le registre DDRA (ou DDRB).

CRA-5	CRA-4	CRA-3	Mis à zéro	CA2	Mis à un
1	0	0	Bas sur la transition négative de la première impulsion E qui suit une écriture du registre données de la périphérie A.		Haut quand l'indicateur d'interruption CRA-7 est mis à un par une transition active du signal CA1.
1	0	1	Bas sur la transition négative de la première impulsion E qui suit une écriture du registre données de la périphérie A.		Haut sur la transition négative de la première impulsion E qui suit une impulsion E qui était arrivée tandis que le circuit était désélectionné.
1	1	0	Bas quand CRA-3 est mis à zéro par une écriture du registre de contrôle A.		Toujours bas tant que CRA-3 est à zéro. Passera à l'état haut quand CRA-3 sera mis à un par une écriture du registre de contrôle A.
1	1	1	Toujours haut tant que CRA-3 est à un. Passera à l'état bas quand CRA-3 sera mis à zéro par une écriture du registre de contrôle A.		Haut quand CRA-3 est mis à un par une écriture du registre de contrôle A.

Figure 77
Contrôle de CA2 comme sortie

Le "Gate-Array"

MC 1300 ALS

Le "Gate-Array de Motorola, comme celui de Thomson, est un ensemble de cellules logiques (portes, bascules, compteur, additionneurs...) isolées les unes des autres et câblées à la demande par ordinateur sous contrôle d'un logiciel d'aide, le C.A.D. (Computer Aide Design).

Le choix d'une technologie rapide (ECL + MOSAIC) a permis une grande densité d'intégration et donc une économie.

Dans le MO 5, le gate-array a 3 fonctions principales :

- la gestion vidéo : signaux de suppression ligne, trame, synchronisation des signaux, ...
- la gestion des adresses multiplexées
- la gestion du light-pen

1 - Pour permettre cette gestion complexe, le gate-array reçoit les signaux suivants :

- $\overline{R/W}$ (51) en provenance du 6809.
- \overline{CKLP} (58) en provenance du light-pen.
- SYCL (57) qui permet la remise à zéro des compteurs lignes et trame, pour une synchronisation par une source vidéo extérieure (incrustation).
- H16 (59) horloge 16 Mhz destinée aux compteurs lignes et trame ainsi qu'aux divers décodeurs fournissant les signaux d'horloge E et Q, \overline{E} , \overline{POINT} , $\overline{DATAVALID}$ et \overline{RAS} .

Cette horloge H16 provient d'un quadruple multiplexeur 1 parmi 2 (74SL157) commandé par le CB2 du 6821 système, synchronisé sur le front montant du signal d'horloge E. Suivant la valeur de CB2, l'horloge H16 reçoit les signaux en provenance de l'oscillateur à quartz 16 Mhz, ou d'un oscillateur piloté par tension (VCO) interne à l'extension d'incrustation.

- $A_0 - A_{13}$, $\overline{A_{14}}$ et A_{15} en provenance du 6809.

- $\overline{\text{CSCOL}}$, $\overline{\text{CSPT}}$, $\overline{\text{CSEXT}}$ (54, 55, 56) en provenance d'un multiplexeur monté en décodeur d'adresse (A13, A14, A15) et qui avec le bit FORME généreront les signaux de sélection des RAM couleur, point et extension.

- FORME (50) en provenance du bit PA0 du 6821 système, qui permettra la sélection mémoire point/mémoire couleur.

2 - A l'aide du signal d'horloge H16, le gate-array fabrique :

- H4 horloge interne 4 Mhz.

- H2 horloge interne 2 Mhz.

- H1 horloge interne 1 Mhz.

- *Un compteur ligne interne* incrémenté par H1, sur 6 bits : TL0, TL1, TL2, TL3, TL4 et TL5.

Ce compteur compte de \$00 à \$3F en 64 μs , durée d'une ligne.

- *Un compteur trame interne* incrémenté par TL2. Ce compteur indique le nombre de groupes de 8 octets. Sachant qu'il y a 8 groupes de 8 octets (64 GPL) par ligne et que le MO 5 balaie 312 lignes, il faut donc que ce compteur puisse compter jusqu'à $8 \times 312 = 2\,496$.

Ce sera donc un compteur 11 bits de T3 à T13.

3 - Les signaux d'entrée et les compteurs fournissent les sorties suivantes :

- $\overline{\text{POINT}}$ (60) : signal 8 Mhz permettant la sérialisation des octets de la mémoire point (74LS165) en 1 μs .

- E (41) et $\overline{\text{E}}$ (40) : signaux d'horloge 1 Mhz pour la gestion du 6809E, en opposition de phase.

- Q (42) : signal d'horloge 1 Mhz pour le 6809 en quadrature avec E.

- $\overline{\text{RAS}}$ (7) : signal permettant l'accès en ligne des mémoires dynamiques.

- $\overline{\text{DATAVALID}}$ (44) : signal de validation des données.

- $\overline{\text{CASCOL}}$ (65) : signal permettant l'accès colonne de la RAM couleur.

- $\overline{\text{CASPT}}$ (6) : signal permettant l'accès colonne de la RAM point.
- $\overline{\text{CASEXT}}$ (39) : signal permettant l'accès colonne des RAM d'extension.
- MA0-7 à MA7-14 : adresses multiplexées de gestion des RAM dynamiques.
 - . Si E = 0 → cycle de rafraîchissement de la mémoire écran. C'est alors l'état des compteurs du gate-array qui est présent sur les sorties d'adresses multiplexées.
 - . Si E = 1 → ce sont alors les adresses A0-15 du 6809 qui se retrouvent multiplexées sur les sorties du gate-array. Pendant cette phase, le 6809 peut lire ou écrire en RAM.
- $\overline{\text{SUPLT}}$ (61) : signal de suppression ligne-trame qui permet d'inhiber les signaux RVB par action sur la ROM de codage des couleurs HM7603.
- $\overline{\text{INILT}}$ (62) : signal d'inhibition ligne-trame empêchant d'écrire sur l'écran le contenu des RAM en dehors de la fenêtre (patte 2 des 74LS173) et permettant au contraire la sélection des couleurs du cadre (patte 1, 4, 10, 13 du 74LS126) et vice versa.
- $\overline{\text{SYNLT}}$ (63) : signal de synchronisation ligne-trame.

4 - D'autre part on peut lire l'état des compteurs internes du gate-array sur le bus de données, en l'adressant selon le tableau ci-dessous :

BUS DE DONNÉES

	D7	D6	D5	D4	D3	D2	D1	D0
\$A7E4	T12	T11	T10	T9	T8	T7	T6	T5
\$A7E5	T4	T3	TL2	TL1	TL0	H1	H2	H4
\$A7E6	LT3	INILN						
\$A7E7	INITN							

INITN = 1 sur la hauteur active de l'écran.

INILN = 1 sur la largeur active de l'écran

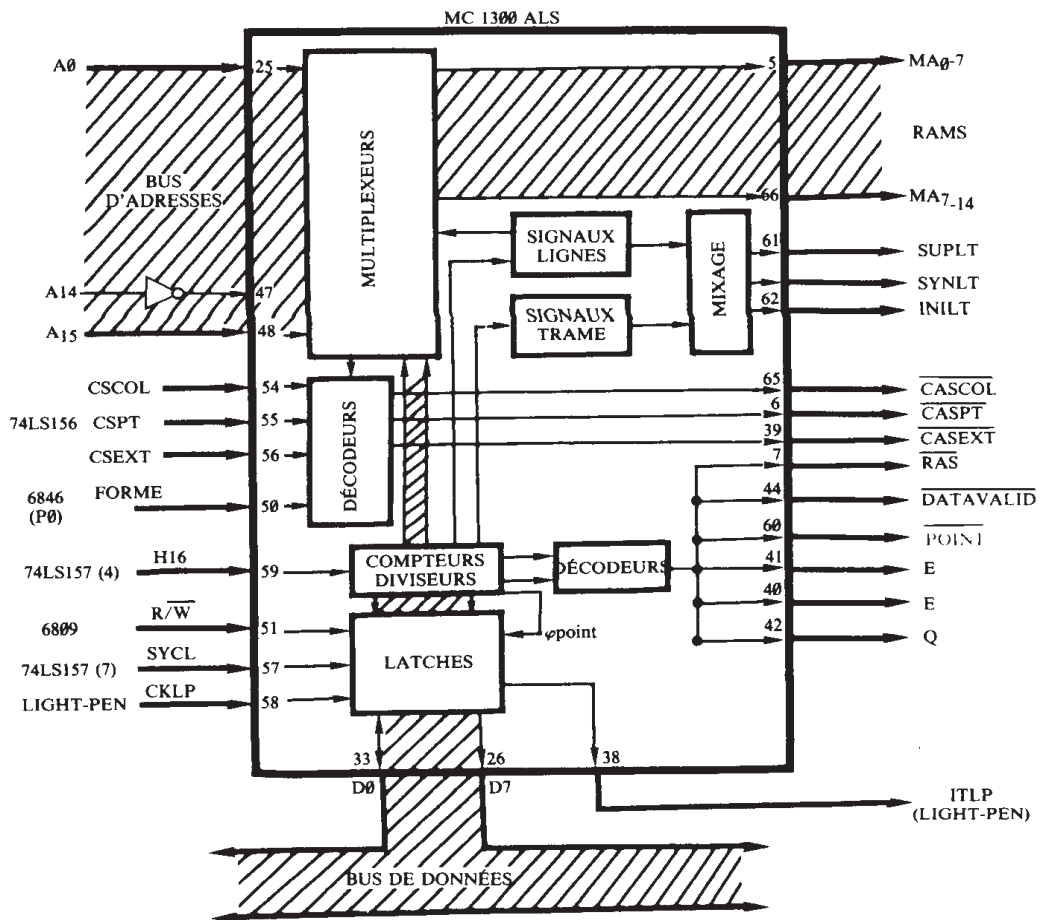


Figure 78
Le "Gate-Array" MC 1300 ALS